1 总体描述

SC32F15G 系列是基于 Arm Cortex®-M0+内核的工业级、32 位 Flash 微控制器，运行频率最高 72MHz。Cortex®-M0+内核采用 32 位精简指令集（RISC），符合 CMSIS 标准。

SC32F15G 系列具有强大的数据处理能力，内部集成的直接存储器访问控制器（DMA）可实现高速的数据传输，硬件 CRC 模块及内核自带的硬件 32 位乘法器进一步提升了数据运算速度。

SC32F15G 系列微控制器内嵌高精度高频振荡器（HIRC）和低频 32kHz 振荡器（LIRC），同时提供一个 32.768 kHz 低频晶振（LXT）接口。内嵌时钟源及外部晶振接口均可为系统提供时钟信号，内置的系统时钟监控模块具备时钟源切换功能，当系统时钟出现异常时，能自动将时钟源切换至 HIRC，以确保系统稳定运行。

SC32F15G 系列微控制器的外设资源丰富，包括：最多 44 个可外部中断的 GP I/O、4 个 16 位定时器、3 个独立 UART（其中 UART2 具有完整的 LIN 接口，支持主/从机模式）、一个独立的 CAN 接口（支持 CAN-specification 2.0B 和 CAN FD）、2 个 SPI、2 个 TWI、2 个独立的 QEP 模块、3 个模拟比较器 CMP0~2 以及一个独立的模拟比较器 CMP3。此外，还配备有三个独立运放、一个 10 Bits DAC、18 路 12 Bits 高精度高速 ADC（支持阈值报警）、一个温度传感器模块、内建独立的看门狗定时器（WDT）和低电压复位电路（LVR），有效提升了系统的可靠性。

SC32F15G 系列微控制器支持 2.0-5.5V 宽范围工作电压，可在-40℃~105℃环境温度下运行。同时，该系列微控制器提供三种功耗模式，可满足不同应用场景下的功耗需求，实现高效能与低功耗的结合。

SC32F15G 系列微控制器采用业界领先的 eFlash 制程技术，Flash 写入次数大于 10 万次，常温下数据可保存 100 年，具备良好的 ESD 性能及 EFT 抗干扰能力。SC32F15G 系列最大可提供 128 Kbytes APROM 空间、8 Kbytes SRAM（支持奇偶校验功能）、2 Kbytes 用户存储区域（类 EEPROM）以及 4 Kbytes 系统存储区（LDROM）。内置系统存储区可支持 OTA 升级，同时提供 ISP（In System Programing）、ICP（In Circuit Programing）和 IAP(In Application Programing)多种程序升级方式，允许芯片在线或带电情况下，在板调试与升级程序。

SC32F15G 系列具有极佳的特性，配合其出色的抗干扰性能，可应用于各种主控控制方案，应用范围涵盖：大小智能家电、智能家居、物联网、新能源等工业控制和消费领域。

Preliminary

2 主要功能

工作条件

- 工作电压：2.0V~5.5V
- 工作温度：-40 ~ +105℃

EMS

- ESD
  - HBM：JS-001-2023 Class 3A
  - MM：JEDEC EIA/JESD22-A115 Class C
  - CDM：ANSI/ESDA/JEDEC JS-002-2022 Class C3
- EFT
  - EN61000-4-4 Level 4

封装类型

- 28 PIN：TSSOP28
- 32 PIN：LQFP32 (7X7) / QFN32 (4X4)
- 48 PIN：LQFP48 (7X7) / QFN48 (5X5)

内核

- Cortex®-M0+内核
- 带 WIC（wakeup interrupt controller）模块
- 64 Bits 指令预取
- 自带乘法器

复位

- 上电复位 POR
- 软件 RST 复位
- 通过外部 NRST 脚（PC11）低电平复位
- 看门狗（WDT）复位
- 低电压复位（LVR）
  - 复位电压有 4 级可选：分别是：4.3V、3.7V、2.9V、1.9V
  - 缺省值为用户烧写 Code Option 所选值

总线

- 1 个 IOPORT
- 1 个 AHB
- 3 个 APB：APB0~APB2

省电模式

- 低速模式：系统时钟源可选择 LIRC，CPU 可工作在 32kHz
- IDLE Mode，可由任何中断唤醒
- STOP Mode，由 INT0~15、Base Timer 和 CMP 唤醒

2.1 存储

主存储区 APROM

- 最大 128 Kbytes APROM
- 可重复写入 10 万次
- 支持硬件读保护加密
- 支持硬件写保护：提供两段禁止 IAP 操作的区域，用户可通过 Code Option 设置项，最小设置单位为 512 bytes（一个扇区）

系统存储区 LDROM

- 4 Kbytes 系统存储区，出厂固化 BootLoader 程序

SRAM

- 8 Kbytes Internal SRAM
- 支持奇偶校验：
  - 额外的 1K RAM 用于奇偶校验：即 SRAM 数据总线宽度为 36 位，其中有 4 位用于奇偶校验（每字节 1 位）
  - 奇偶校验位在写入 SRAM 时进行计算和保存，在读取时自动进行校验。如果某一位失败，则将生成 NMI
  - 提供独立的 SRAM 奇偶校验错误标志 SRAMPEIF
  - 使用时需要注意对 SRAM 初始化
- 支持从 SRAM 自举

2K Bytes 用户存储区（类 EEPROM）

- 分为 4 个 512 bytes 扇区
- 可重复写入 10 万次
- 常温 25℃下数据可保存 100 年

96 Bits unique ID

- IFB 区域提供 96 Bits unique ID

2.2 BootLoader

- 硬件方式：系统存储区：4 Kbytes，出厂固化 BootLoader 程序
- 软件方式：支持中断向量表重映射，可从 APROM 区域灵活划分出用户 BootLoader 程序运行区

2.3 烧写和仿真

- 烧录方式支持 ICP / ISP / IAP
- 2 线 JTAG / SWD 烧写和仿真接口
- 加密状态下不支持仿真功能

2.4 时钟源

内建 72MHz 高频振荡器（HIRC）

- 作为系统时钟源
- 系统上电默认时钟频率 $f_{SYS}=f_{HIRC}/2$
- 频率误差：跨越 (2.0V~5.5V) 及 (-40 ~ 105℃) 应用环境下的频率误差≤±1%
- 可通过 32.768kHz 外接晶振进行自动校准，校准后 HIRC 精度可无限接近外接 32.768kHz 晶振的精度

内建 32kHz 低频振荡器（LIRC）

- 作为系统时钟源
- 固定为 WDT 时钟源，WDT 使能后此时钟源必开启
- 作为 Base Timer 时钟源，可唤醒 STOP
- 频率误差：跨越 (4.0 ~ 5.5V) 及 25℃ 应用环境，经寄存器修正后频率误差≤±4%

可外接 32.768 kHz 低频晶振（LXT）

- 作为系统时钟源
- 作为 Base Timer 时钟源
- 外接 32.768kHz 振荡器
- 可通过 LXT 对 HIRC 进行自动校准

2.5 中断源

- SC32F15G 提供 25 个中断源
- 四级中断优先级可设
- 外部中断 INT
  - 16 个 INT 中断源，共占用 4 个中断向量
  - INT 经切换设置后可覆盖到所有的 GPIO 管脚
  - 全部可设上升沿、下降沿、双沿中断，且均有独立对应中断标志位
  - 软件置起相应中断标志位，可触发进入相应的中断

2.6 数字外围

最大 44 个双向可独立控制 GPIO

- 可独立设定上拉电阻

Preliminary

- 全部 IO 源驱动能力分四级控制
- 全部 IO 具有大灌电流驱动能力（50mA）

看门狗 WDT

- 内置 WDT，溢出时间 3.94~500ms 可设

Base Timer（BTM）

- 时钟源 LXT 和 LIRC 可选
- 中断频率间隔 15.625ms ~ 32s 可选
- 可唤醒 STOP Mode

4 个 16 位定时/计数器（TIM）Timer0~Timer3

- 16 位递增、递减、递增/递减自动重载计数器
- 支持上升沿/下降沿捕获，可实现 PWM duty 和周期捕获
- 每个 TIM 提供两路共周期、占空比可调的 PWM（TPWMA / TPWMB）输出
- TIM1、TIM2 的定时器溢出及捕获事件可触发 DMA 请求
- 所有 Timer 的 TnCAP 和 TnEX 管脚均支持重映射

2 个独立正交编码捕捉模块（QEP）

- 可以与线性或旋转增量编码器等设备连接，用于获取机器的位置、方向等信息。
- 提供 3 种计数模式
  - 正交计数
  - 方向计数
  - 双脉冲计数
- 每个 QEP 模块各提供 3 个输入信号口：QEPnA、QEPnB 和 QEPnI，n=0~1
  - 输入信号 QEPnA、QEPnB 可交换输入方向
  - 输入信号 QEPnA、QEPnB 可单独配置各自的输入极性
  - 为输入信号 QEPnA、QEPnB 和 QEPnI 提供最大 128 分频的数字输入滤波器
- 方向计数和双脉冲计数模式下可选择上升沿、下降沿或双沿计数
- 位置计数器提供 2 种复位模式：index 事件复位、溢出复位
- 支持 4 种中断源
  - 上溢中断
  - 下溢中断
  - Index 复位中断
  - 边沿触发中断

3 个独立 UART 通信口 UART0~2

- UART2 为完整的 LIN 接口：
  - 主从模式可切换
  - 支持主机模式下硬件 break 发送（10/13 Bits）
  - 支持从机模式下硬件 break 检测（10/11 Bits）
  - 支持从机模式下波特率同步
  - 提供相关中断/状态位/标志位
- 每一路 UART 信号口均可切换至两组 IO
  - 其中 UART0 映射在烧录口上时仅支持半双工通信
- 独立波特率发生器
- UART0/1 支持从 STOP 模式唤醒
- 三种通讯模式可选：
  - 模式 0，8 位半双工同步通信模式
  - 模式 1，10 位全双工异步通信
  - 模式 3，11 位全双工异步通信
- UART0 和 UART1 支持 DMA 请求
- UART2 不支持 DMA 请求

一个独立的 SPI 通信口 SPI0

- SPI0 信号口可切换至两组 IO
- 提供 16 位 8 级 FIFO，收发独立
- SPI 模式下相应的信号口驱动能力将增强
- 支持 DMA

一个独立 TWI 通信口 TWI0

- TWI0 信号口可切换至三组 IO
- 可配置为主模式或从模式
- 从模式下支持时钟延展
- 通信速率高达 1Mbps
- TWI0 支持 DMA

一个二合一通信口 SPI1&TWI1

- SPI1 和 TWI1 功能完全独立，寄存器地址和信号口复用
- SPI1 和 TWI1 信号口可切换至四组 IO
- SPI1 支持 DMA
- TWI1
  - 可配置为主模式或从模式
  - 从模式下支持时钟延展
  - 通信速率高达 1Mbps

CAN 通信口

- 协议支持：
  - CAN-specification 2.0B
  - CAN FD
- 支持待机模式
- 时间戳：
  - CiA 603：64 Bits 时间戳，发送帧（TTS）支持一个时间戳，存放在寄存器里，但所有的接收帧（RTS）都有单独的时间戳
- 收发缓存：
  - 8 组接收缓存（RB）
  - 9 组发送缓存（TB）
  - 8 组接收滤波器（支持 29 Bits）

内建 CRC 校验模块

- 初始值可设，默认为 0xFFFF_FFFF
- 多项式可编程，默认为 0x04C1_1DB7
- 支持 8/16/32 Bits 数据单元

DMA

- 4 个可独立配置的通道
- 每个 DMA 通道可向其它通道发送 DMA 请求
- 数据宽度支持字节，半字，字
- 21 个 DMA 请求源，四个请求优先级
- 支持源/目标地址自动增加或固定
- 支持单次和批量传输方式
- 传输方式支持：内存到内存、内存到外设、外设到内存、外设到外设

2.7 模拟外围

模拟外围的参考电压有 5 种选择

- V_{DD}、2.4V、2.048V、1.024V 和外部 Vref PIN 输入源

内建基准电源模块 VREF

- 内建 2.4V、2.048V 和 1.024V 三种基准电压
- 可选择外部 Vref 输入源作为系统模拟电路基准
- 可选择 VDD 作为系统模拟电路基准
- ADC / DAC / OP 均可独立选择基准源或输入源来自 VDD 还是 VREF 模块

数模转换器 DAC

- 精度：10 位
- 输出方式：
  - 两个独立的 DAC 输出端口 DACOUT0 和 DACOUT1
  - 内部可输出至 OP1/OP2 的反相端
  - 可输出至 CMP0/1/2/3 的负端

Preliminary

模数转换器 ADC

- 精度：12 位
- 最多支持 18 路通道
  - 16 路外部 ADC 采样通道 AIN0 ~ AIN15
  - 三路 AIN 与 OP 复用，可测量 OP 模块的输出信号，分别为 OP0、OP1、OP2
  - 内部一路 ADC 可直接测量 V_{DD} 电压
  - 内部一路温度采样通道
- 提供 ADC 阈值看门狗，可同时设定上下阈值，可触发中断
- 触发模式可选：
  - 手动触发（即软件触发）
  - 序列触发：仅可通过软件触发
- 可设 ADC 转换完成中断
- 单次转换时间为 404ns
- 支持 DMA 传输：ADC 转换完成可产生 DMA 请求
- ADC 转换结果支持溢出提醒，当溢出发生时 OVERRUN 标志位置起，且 OVERRUN 标志位与 ADC 转换结果在同一寄存器 ADCV，用户可一次性读取

运放及可编程增益放大器（OP）

- 内建三个独立的 Rail-to-Rail 可配置增益放大器：OP0/OP1/OP2
- OP1/OP2 可设置为比较器（CMP）模式：
  - CMP 模式下迟滞电压固定为 10~15mV
  - CMP 模式下的响应时间：典型值 50ns
- 三个 OP 均可配置为 PGA 模式
  - 同相输入增益：4/8/16/32
  - 反相输入增益：3/7/15/31
- 三个 OP 的同相端、反相端以及输出端均有独立的对外端口
- 三个 OP 的输出分别与三路 ADC 通道复用，输出结果可通过 ADC 结果寄存器读出
- OP1/OP2 均可输出到 CMP0 和 CMP3 的正端输入
- 输入失调电压≤10mV，需调零
- 压摆率≥10V/us

三个模拟比较器 CMP0/1/2

- 三个 CMP 正端均有独立的对外输入端口
- CMP0 的正端 CMP0P 还可切换至 OP1 或 OP2 的输出
- 三个 CMP 的负端可独立切换至：
  - 三个 CMP 共用的对外端口 CMPxN
  - 内建的 DAC 输出
- CMP0/1/2 中断可唤醒 STOP Mode
- 迟滞电压四档可选：0/5/10/20mV
- 响应时间：典型值 50ns

一个独立模拟比较器 CMP3

- CMP3 正端可切换至
  - 外部输入端口 CMP3P
  - OP1 或 OP2 的输出
- CMP3 负端可切换至
  - 外部输入端口 CMP3N
  - 内建的 DAC 输出
  - VREF 的 16 档分压模块输出
- 中断可唤醒 STOP Mode
- 迟滞电压四档可选：0/5/10/20mV
- 响应时间：典型值 50ns

温度传感器

- 可通过 ADC 电路测量温度传感器电压
  - 以 2.4V 内部参考电压作为基准
  - 每上升 1℃，ADC 转换值会增加固定值

Preliminary

产品外设资源表

型号外设	SC32F15G					
	_C7	_K7	_G7	_C6	_K6	_G6
GPIOs	44	29	25	44	29	25
APROM (Kbyte)	128			64		
SRAM (Kbyte)	8					
SPI	2					
TWI	2					
UART	3					
TIM	4					
OP	3	2		3	2	
CMP	4	3		4	3	
DAC Channels	1					
ADC Channels	18	15	13	18	15	13
QEP	2	1	0	2	1	0
CAN	1		-	1		-
CRC	YES					
DMA	YES					
温度传感器	YES					
Max. CPU frequency	72MHz					

Preliminary

产品命名规则

SC 32 F 1 5 G C 7 P J R

公司名称
SinOne

产品家族
8=8bit
32=32bit

产品类型
A=汽车级
F/G=通用型
L=超低功耗型
H=高性能型
W=无线型
M=电机

CPU core
0= Cortex-M0
1= Cortex-M0+

子系列1
0~9

子系列2
T=TK
G=GP
M=Motor

管脚个数

标识	D	F	E	G	K	T	H	S	C	U	R	J	M	O
管脚个数	14	20	24	28	32	36	40	44	48	63	64	72	80	90
标识	V	Q	Z	A	I	B	N	X						
管脚个数	100	132	144	169	176	208	216	256						

闪存容量

标识	0	1	2	3	4	5	6	7	8	9	A	B	C	D
容量（KB）	1	2	4	8	16	32	64	128	256	512	1024	2048	-	-
标识	E	F	G	H	J	K	L	M	N	P	Q	R	S	T
容量（KB）	-	-	-	-	-	-	-	72	96	192	384	768	1536	-

封装形式

标识	D	M	X	F	T	P	Q	K	S	Y	H	U	W
封装形式	DIP	SOP	TSSOP	QFP	TQFP	LQFP	QFN	SKDIP	MSOP	WLCSP	BGA	SOT	Wafer

温度范围
I= -40°C~85°C 工业级
J= -40°C~105°C 汽车级 G2
A= -40°C~125°C 汽车级 G1
T= -40°C~150°C 汽车级 G0

包装形式

R	Tray	托盘
T	Tape and Reel	编带
U	Tube	管装
B	Bulk	桶装

Preliminary

订购信息

型号	封装	包装
SC32F15GC7PJR	LQFP48	盘装
SC32F15GC6PJR	LQFP48	盘装
SC32F15GC7QJR	QFN48	盘装
SC32F15GC6QJR	QFN48	盘装
SC32F15GK7PJR	LQFP32	盘装
SC32F15GK6PJR	LQFP32	盘装
SC32F15GK7QJR	QFN32	盘装
SC32F15GK6QJR	QFN32	盘装
SC32F15GG7XJU	TSSOP28	管装
SC32F15GG6XJU	TSSOP28	管装

Preliminary

目录

1 总体描述 1
2 主要功能 2
2.1 存储 2
2.2 BootLoader 2
2.3 烧写和仿真 2
2.4 时钟源 2
2.5 中断源 2
2.6 数字外围 2
2.7 模拟外围 3
产品外设资源表 5
产品命名规则 6
订购信息 7
目录 8
3 管脚定义 14
3.1 管脚配置图 14
3.2 管脚资源列表 17
4 资源框图 19
5 上电、复位和时钟控制（RCC） 20
5.1 上电过程 20
5.1.1 复位阶段 20
5.1.2 调入信息阶段 20
5.1.3 正常操作阶段 20
5.2 复位 20
5.2.1 复位后的启动区域 21
5.2.2 外部 RST 复位 21
5.2.3 低电压复位 LVR 21
5.2.4 上电复位 POR 21
5.2.5 看门狗复位 WDT 22
5.2.6 软件复位 22
5.2.7 复位初始状态 22
5.3 时钟 22
5.3.1 系统时钟源 22
5.3.2 总线 22
5.3.3 时钟及总线分配框图 23
5.4 内建高频 72MHz 振荡器（HIRC） 23
5.5 内建低频 32kHz 振荡器（LIRC） 23

Preliminary

5.6 内置低频振荡电路，可外接 32.768kHz 低频震荡器（LXT） 23
6 中断 24
6.1 外部中断 INT0~15 24
6.2 中断与事件 24
6.3 中断向量表 25
7 存储 27
7.1 概述 27
7.2 存储框图 27
7.3 特性 28
7.4 APROM（主存储区） 28
7.5 2 Kbytes 类 EEPROM（用户存储区） 29
7.6 4 Kbytes LDROM（系统存储区） 29
7.6.1 BootLoader 30
7.7 SRAM 30
7.8 启动区域选择（自举） 30
7.8.1 从主存储区自举 30
7.8.2 从系统存储区自举 30
7.8.3 从嵌入式 SRAM 自举 31
7.8.4 自举模式设置 31
7.9 96 Bits Unique ID 31
7.10 User ID 区域 31
7.11 编程 31
7.11.1 JTAG 专用模式 32
7.11.2 常规模式（JTAG 专用口无效） 32
7.12 安全加密 32
7.12.1 安全加密操作权限 33
7.13 In Application Programming (IAP) 33
8 模数转换器（ADC） 34
8.1 概述 34
8.2 时钟源 34
8.3 特性 34
8.4 ADC 采样和转换时间 34
8.5 ADC 转换步骤 35
8.6 ADC 连接电路图 36
9 内部基准源（VREF） 37
9.1 概述 37
9.2 时钟源 37
9.3 内部基准源模块配置 37

Preliminary

9.4 内部基准源输出 37
9.5 内部基准源功能框图 38
10 数模转换器（DAC） 39
10.1 概述 39
10.2 时钟源 39
10.3 特性 39
11 温度传感器 40
11.1 概述 40
11.2 温度传感器操作步骤 40
12 运放及可编程增益放大器（OP） 41
12.1 概述 41
12.2 特性 41
12.3 OP0 框图 41
12.4 OP1 / OP2 框图 42
12.5 OP0 端口选择 42
12.5.1 OP0 精度调整 42
12.5.2 OP0 同相端输入 43
12.5.3 OP0 反相端输入 43
12.5.4 OP0 输出 43
12.6 OP1/2 端口选择 43
12.6.1 OP1/2 精度调整 43
12.6.2 OP1/2 同相端输入 43
12.6.3 OP1/2 反相端输入 43
12.6.4 OP1/2 输出 44
13 模拟比较器（CMP） 45
13.1 概述 45
13.2 时钟源 45
13.3 CMP0/1/2 特性 45
13.4 CMP3 特性 45
13.5 模拟比较器结构框图 46
14 独立正交编码捕捉模块（QEP） 47
14.1 概述 47
14.2 特性 47
14.3 计数方式 47
15 16 位定时/计数器（TIM）Timer0~Timer3 48
15.1 时钟源 48
15.2 特性 48

Preliminary

15.3 计数方式 48
15.3.1 定时模式下 TIM 计数方式 48
15.3.2 PWM 输出模式下 TIM 计数方式 48
15.4 定时器相关的信号口 48
15.5 TIM 的中断及对应标志位 49
16 省电模式 50
17 GPIO 51
17.1 时钟源 51
17.2 特性 51
17.3 GPIO 结构图 51
17.3.1 强推挽输出模式 51
17.3.2 带上拉的输入模式 51
17.3.3 高阻输入模式(Input only) 52
18 UART0~2 53
18.1 时钟源 53
18.2 特性 53
18.3 UART2-LIN 54
18.3.1 LIN 帧结构 54
18.3.2 LIN 主机模式 54
18.3.3 LIN 从机模式 54
19 SPI0~1 56
19.1 时钟源 56
19.2 SPI0 特性 56
19.3 SPI1 特性 56
19.4 SPI0 和 SPI1 对比 57
20 TWI0~1 58
20.1 时钟源 58
20.2 TWI0 特性 58
20.3 TWI1 特性 58
20.4 TWI 信号描述 58
21 CAN 通信口 59
21.1 概述 59
21.2 时钟源 59
21.3 特性 59
22 硬件看门狗（WDT） 60
22.1 概述 60
22.2 时钟源 60
23 Base Timer（BTM） 61

Preliminary

23.1 概述 61
23.2 时钟源 61
23.3 特性 61
24 内建 CRC 校验模块 62
24.1 概述 62
24.2 时钟源 62
24.3 特性 62
25 直接存储器访问（DMA） 63
25.1 概述 63
25.2 时钟源 63
25.3 特性 63
25.4 功能说明 63
25.4.1 传输方向 63
25.4.2 DMA 访问区域限制 63
25.4.3 通道优先级 63
25.4.4 单一传输和批量传输 64
25.4.5 循环模式 64
25.4.6 DMA 通道使能后禁止操作的控制位 64
26 SysTick 65
26.1 时钟源 65
26.2 SysTick 校准寄存器默认值 65
27 电气特性 66
27.1 参数条件 66
27.2 极限参数 66
27.3 推荐工作条件 66
27.4 Flash ROM 参数 66
27.5 直流电气特性 67
27.6 IO 特性参数 67
27.7 BTM 电气特性 69
27.8 WDT 电气特性 69
27.9 交流电气特性 69
27.10 ADC 电气特性 69
27.11 CMP 电气特性 71
27.12 OP 电气特性 71
27.13 DAC 电气特性 72
27.14 VREF 电气特性 73
27.15 温度传感器 73

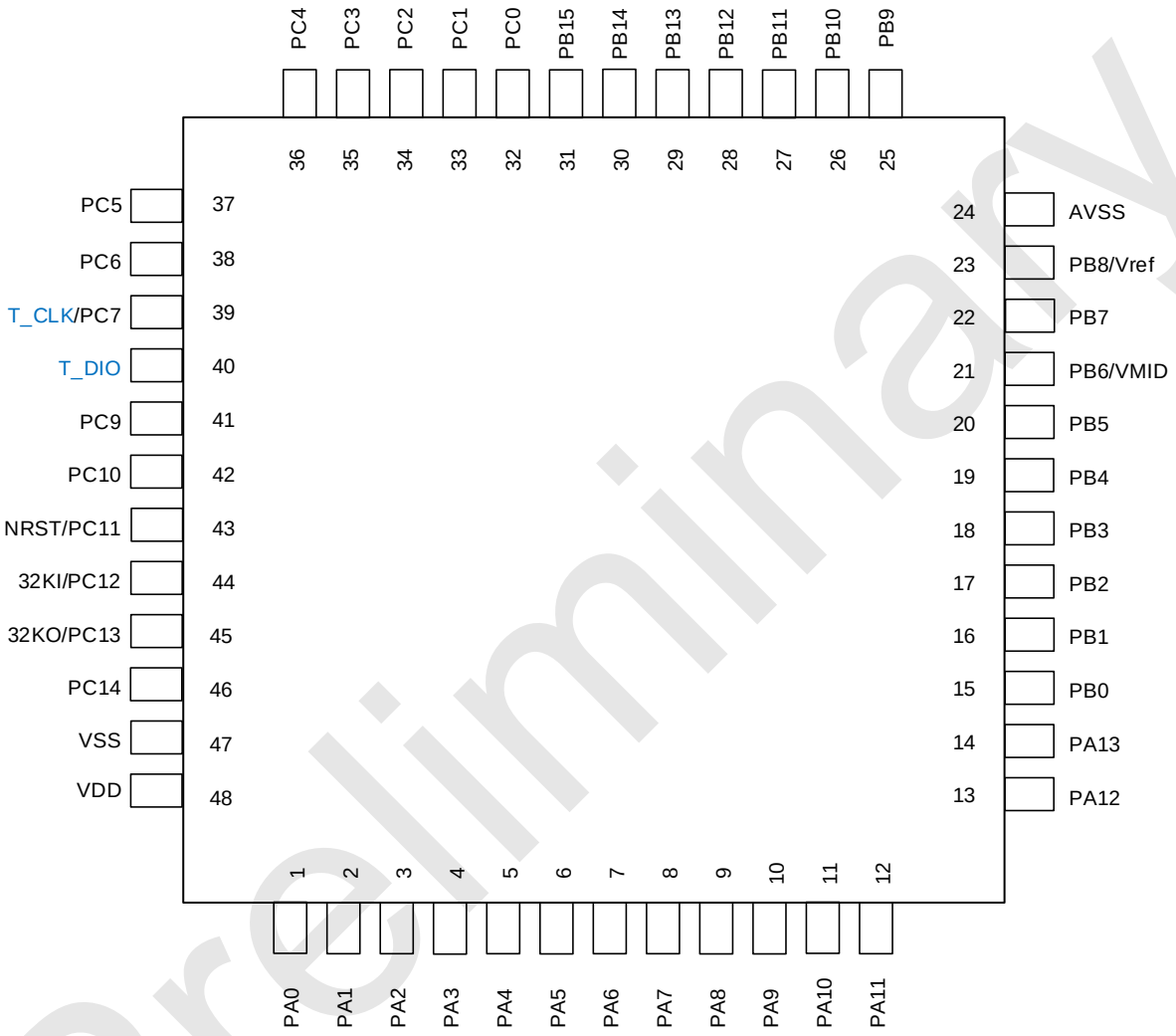
Preliminary

28 封装信息.....74
29 版本记录.....81
30 声明.....82

Preliminary

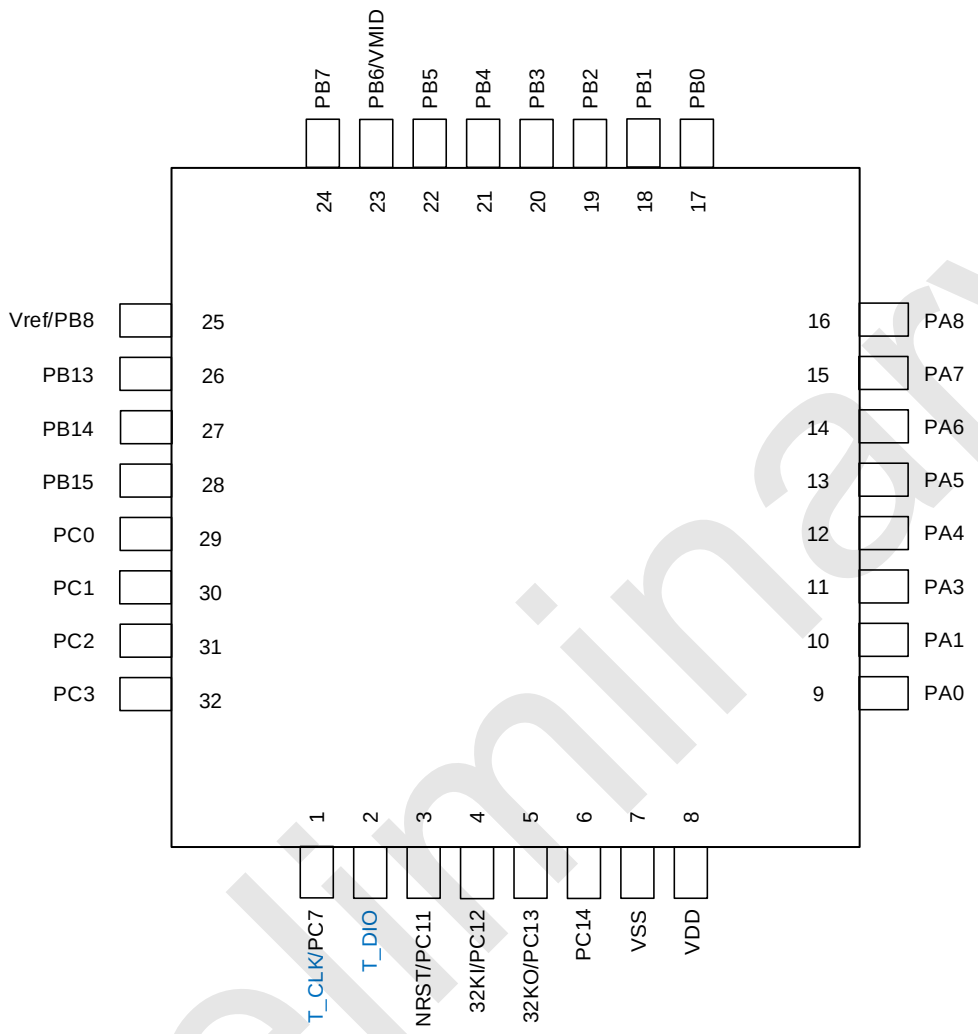
3 管脚定义

3.1 管脚配置图



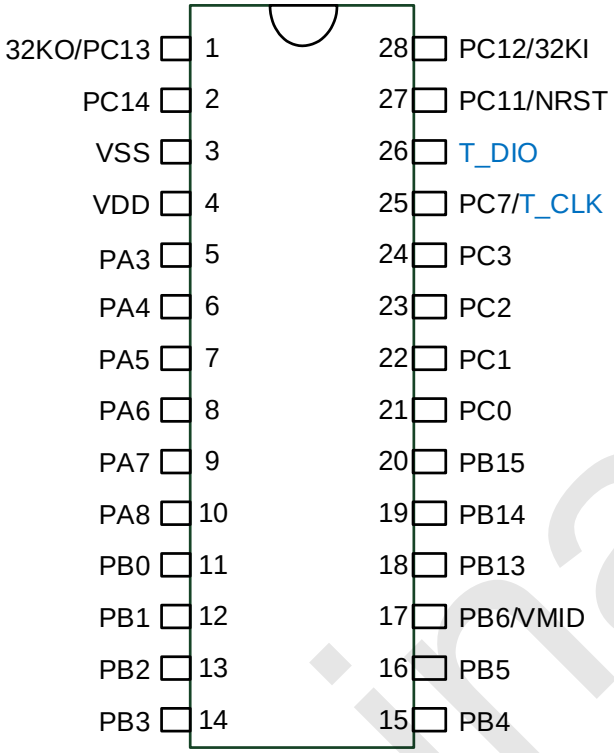
48PIN 管脚配置图
适用于 LQFP48、QFN48 封装

Preliminary



32PIN 管脚配置图
适用于 LQFP32、QFN32 封装

Preliminary



28PIN 管脚配置图
适用于 TSSOP28 封装

Preliminary

3.2 管脚资源列表

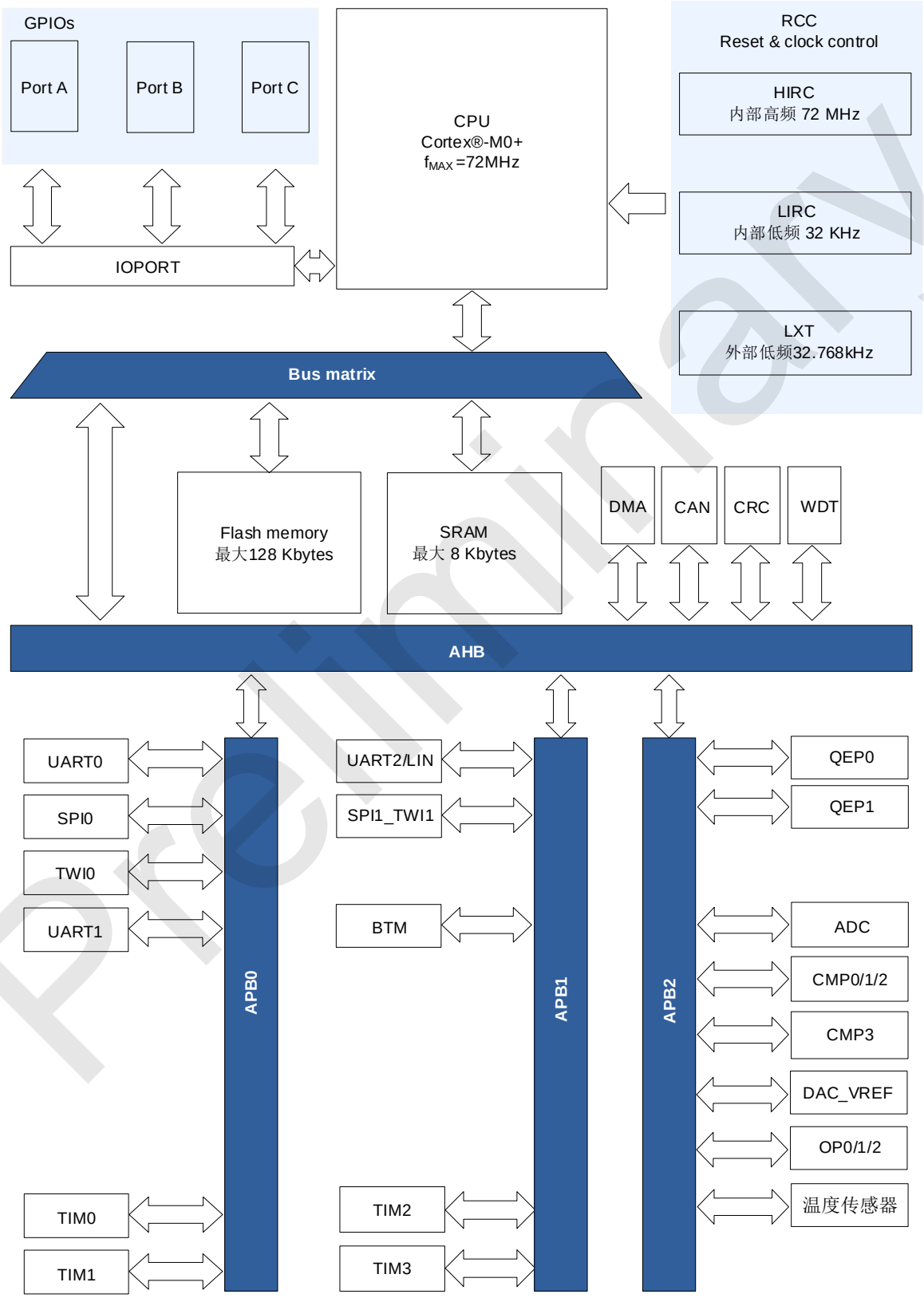
LQFP48/QFN48	LQFP32/QFN32	TSSOP28	管脚名	特殊	OP	CMP	DAC	ADC	QEP	TPWM	TIM	UART	SPI	TWI	CAN	INT
1	9	-	PA0	-	-	-	-	-	QEP1A	-	-	TX2(LIN)	-	SCL0	-	INT00
2	10	-	PA1	-	-	-	-	-	QEP1B	-	-	RX2(LIN)	-	SDA0	-	INT01
3	-	-	PA2	-	-	-	-	-	QEP1I	-	-	-	-	-	-	INT02
4	11	5	PA3	-	-	-	-	-	-	-	-	-	-	-	-	INT03
5	12	6	PA4	-	-	-	-	-	-	T0PWMA	T0CAP/T0	-	-	-	-	INT04
6	13	7	PA5	-	-	-	-	-	-	T0PWMB	T0EX	-	-	-	-	INT05
7	14	8	PA6	-	-	-	-	-	-	-	-	-	(SCK1A)	（SCL1A）	-	INT06
8	15	9	PA7	-	-	-	-	-	-	-	-	-	(MOSI1A)	（SDA1A）	-	INT07
9	16	10	PA8	-	-	-	-	-	-	-	-	-	(MISO1A)	-	-	INT08
10	-	-	PA9	-	-	-	-	-	-	-	-	-	-	-	-	INT09
11	-	-	PA10	-	-	-	-	-	-	-	-	-	-	-	-	INT10
12	-	-	PA11	-	-	-	-	-	-	-	-	-	(SCK1B)	(SCL1B)	-	INT11
13	-	-	PA12	-	-	-	-	-	-	-	-	-	(MOSI1B)	(SDA1B)	-	INT12
14	-	-	PA13	-	-	-	-	-	-	-	-	-	(MISO1B)	-	-	INT13
15	17	11	PB0	-	OP0P	-	-	-	-	(T0PWMA A)	(T0CAP A/T0 A)	(TX2A)	-	-	-	INT00
16	18	12	PB1	-	OP0N	-	-	-	-	（T0PWMB A）	（T0EX A）	(RX2A)	-	-	-	INT01
17	19	13	PB2	-	OP0O	-	-	AIN0	-	(T1PWMA A)	(T1CAP A/T1 A)	-	(SCK1C)	(SCL1C)	-	INT02
18	20	14	PB3	-	OP1P	-	-	-	-	（T1PWMB A）	（T1EX A）	(RX1A)	(MOSI1C)	(SDA1C)/(SCL0B)	-	INT03
19	21	15	PB4	-	OP1N	-	-	-	-	(T2PWMA A)	(T2CAP A/T2 A)	(TX1A)	(MISO1C)	（SDA0B）	-	INT04
20	22	16	PB5	-	OP1O	-	-	AIN1	-	（T2PWMB A）	（T2EX A）	(TX0A)	(MISO0A)	-	-	INT05
21	23	17	PB6	VMID	-	-	-	AIN2	-	(T3PWMA A)	(T3CAP A/T3 A)	(RX0A)	(MOSI0A)	(SDA0A)	-	INT06
22	24	-	PB7	-	-	-	DACOUT0	AIN3	-	（T3PWMB A）	（T3EX A）	-	(SCK0A)	(SCL0A)	-	INT07
23	25	-	PB8	Vref	-	-	-	AIN4	-	-	-	-	-	-	-	INT08
24	-	-	AVSS	-	-	-	-	-	-	-	-	-	-	-	-	-
25	-	-	PB9	-	-	-	-	AIN5	-	-	-	-	-	-	-	INT09
26	-	-	PB10	-	OP2P	-	-	-	-	-	-	-	-	-	-	INT10

Preliminary

LQFP48/QFN48	LQFP32/QFN32	TSSOP28	管脚名	特殊	OP	CMP	DAC	ADC	QEP	TPWM	TIM	UART	SPI	TWI	CAN	INT
27	-	-	PB11	-	OP2N	-	-	-	-	-	-	-	-	-	-	INT11
28	-	-	PB12	-	OP2O	-	-	AIN6	-	-	-	-	-	-	-	INT12
29	26	18	PB13	-	-	CMPxN	-	AIN7	-	-	-	-	-	-	-	INT13
30	27	19	PB14	-	-	CMP0P	-	AIN8	-	-	-	-	SCK1	SCL1	-	INT14
31	28	20	PB15	-	-	CMP1P	-	AIN9	-	-	-	-	MOSI1	SDA1	-	INT15
32	29	21	PC0	-	-	CMP2P	-	AIN10	-	-	-	-	MISO1	-	-	INT00
33	30	22	PC1	-	-	-	-	AIN11	-	T3PWMB	T3EX	RX1	MISO0	-	CAN_RX	INT01
34	31	23	PC2	-	-	-	-	AIN12	-	T3PWMA	T3CAP/T3	TX1	MOSI0	-	CAN_TX	INT02
35	32	24	PC3	-	-	-	-	AIN13	-	-	-	-	SCK0	-	-	INT03
36	-	-	PC4	-	-	CMP3N	-	-	（QEP1A A）	-	-	-	-	-	-	INT04
37	-	-	PC5	-	-	CMP3P	-	-	（QEP1B A）	-	-	-	-	-	-	INT05
38	-	-	PC6	-	-	-	DACOUT1	AIN14	（QEP1I A）	(T0PWMA B)	(T0CAP B/T0 B)	-	-	-	-	INT06
39	1	25	PC7	T_CLK	-	-	-	-	-	(T0PWMB B)	(T0EX B)	RX0	-	-	-	INT07
40	2	26	-	T_DIO	-	-	-	-	-	-	-	TX0	-	-	-	-
41	-	-	PC9	-	-	-	-	-	QEP0A	-	-	-	-	-	-	INT09
42	-	-	PC10	-	-	-	-	-	QEP0B	-	-	-	-	-	-	INT10
43	3	27	PC11	NRST	-	-	-	-	QEP0I	T1PWMA	T1CAP/T1	-	-	-	-	INT11
44	4	28	PC12	32KI	-	-	-	-	-	T1PWMB	T1EX	-	-	-	-	INT12
45	5	1	PC13	32KO	-	-	-	-	-	T2PWMB	T2EX	-	-	-	-	INT13
46	6	2	PC14	-	-	-	-	AIN15	-	T2PWMA	T2CAP/T2	-	-	-	-	INT14
47	7	3	VSS	VSS	-	-	-	-	-	-	-	-	-	-	-	-
48	8	4	VDD	VDD	-	-	-	-	-	-	-	-	-	-	-	-

Preliminary

4 资源框图



Preliminary

5 上电、复位和时钟控制（RCC）

5.1 上电过程

SC32F15G 上电后，在客户端软件执行前，会经过以下三个阶段：

① 复位阶段；
② 调入信息阶段；
③ 正常操作阶段。

5.1.1 复位阶段

复位阶段是指 SC32F15G 持续保持在复位状态，直到供应电压超过特定的阈值，其内部时钟机制才开始有效运作。

该阶段的具体时长受外部电源电压上升速率的影响，当外部电源提供的电压达到内建 POR 电压时，复位阶段即告结束。

5.1.2 调入信息阶段

在 SC32F15G 内部设有一个预热计数器。复位阶段，此预热计数器一直被清零，供电电压上升至 POR 后，内部 HIRC 振荡器预热计数器开始计数。该预热计数器计数到一定数值后，周期性从 Flash ROM 中的 IFB（包含 Customer Option）读取数据至系统寄存器。所有 IFB 数据读取完毕后，预热及信息调入阶段结束，系统进入正常操作模式。

5.1.3 正常操作阶段

完成信息调入后，SC32F15G 从 Flash 读取指令进入正常操作阶段。此时 LVR 电压值为用户写入 Customer Option 的设置值。

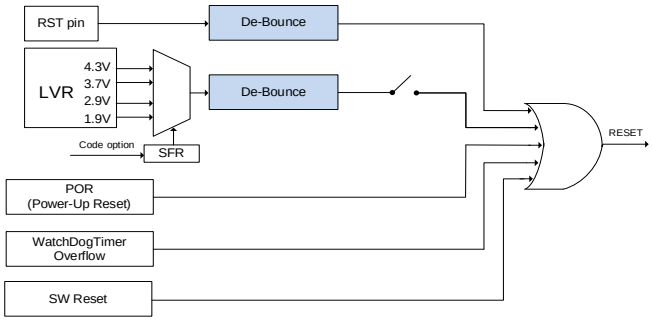
5.2 复位

SC32F15G 有 5 种复位方式，前四种为硬件复位：

① 外部 RST 复位
② 低电压复位 LVR
③ 上电复位 POR
④ 看门狗 WDT 复位
⑤ 软件复位

SC32F15G 的复位部分电路结构图如下：

Preliminary

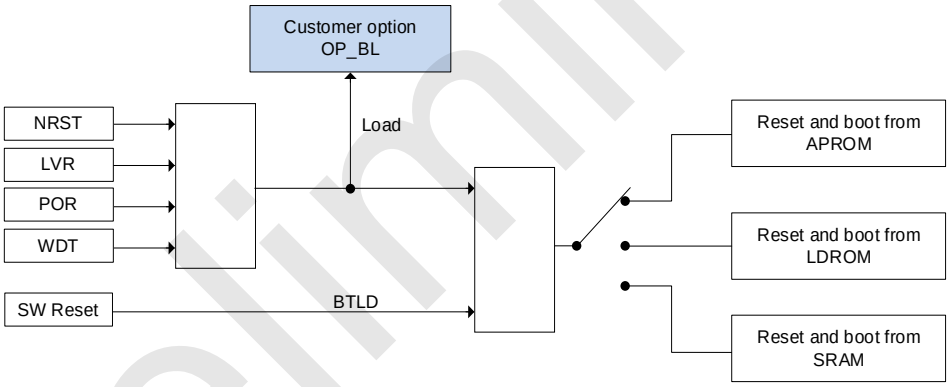


SC32F15G 复位电路图

5.2.1 复位后的启动区域

外部 RST 复位、低电压复位 LVR、上电复位 POR、看门狗 WDT 这四种硬件复位后，芯片从用户 OP_BL 设定的启动区域(APROM / LDROM / SRAM)启动。

软件复位后，芯片根据 BTLD[1:0]设定的启动区域(APROM / LDROM / SRAM)启动。



SC32F15G 复位后启动区域切换示意图

5.2.2 外部 RST 复位

SC32F15G 的外部 RST 复位可通过在外部 RST 引脚上输入一定宽度的低电平复位脉冲信号实现。

用户在烧录程序前可通过烧录上位机软件配置 Customer Option 项将 PC11 / NRST 管脚配置为 RST（复位脚）使用。

5.2.3 低电压复位 LVR

SC32F15G 内建一个低电压复位电路，支持 4 种门限电压选择：4.3V、3.7V、2.9V、1.9V。出厂时，默认的门限电压值为 1.9V，用户可通过烧录时设置 Customer Option 的值来设定缺省值。当 V_{DD} 电压低于设定的门限值，且持续时间超过约 30μs 的消抖时间 TLVR 时，则触发复位操作。

5.2.4 上电复位 POR

SC32F15G 内部有上电复位电路，当 V_{DD} 电压达到 POR 复位电压时，系统自动复位。

Preliminary

5.2.5 看门狗复位 WDT

SC32F15G 有一个 WDT，其时钟源为内部的 32kHz 振荡器。用户可以通过编程器的 Customer Option 选择是否开启看门狗复位功能。

5.2.6 软件复位

SC32F15G 提供软件复位功能，用户可以通过对 RST（IAP_CON.8）位写 1 后，使得系统立刻复位。

5.2.7 复位初始状态

当 SC32F15G 处于复位状态时，多数寄存器会回到其初始状态。看门狗 WDT 功能将在此阶段被禁用。“热启动”下的 Reset（如 WDT、LVR、软件复位等）不会对 SRAM 中的数据产生影响，因此 SRAM 将保留复位前的值。

注意：当电源电压降低到无法维持 RAM 数据保存的程度时，SRAM 中的内容将会丢失。

5.3 时钟

5.3.1 系统时钟源

系统时钟 SYSCLK 可通过三种不同的时钟源驱动：

- 内建高频 72MHz 振荡器（HIRC），上电默认时钟
- 内建低频 32kHz 振荡器（LIRC）
- 外接低频晶振（LXT）

注意：

1. **上电默认的系统时钟源为 HIRC，上电默认的系统时钟频率为 $f_{HIRC}/2$，用户可在上电后的正常操作阶段，通过软件方式切换时钟源。切换前务必确保所选时钟源已处于稳定的工作状态；**
2. **系统时钟源切换时，必须先将系统时钟源切换至 HIRC，再切换至目标时钟源。**

5.3.2 总线

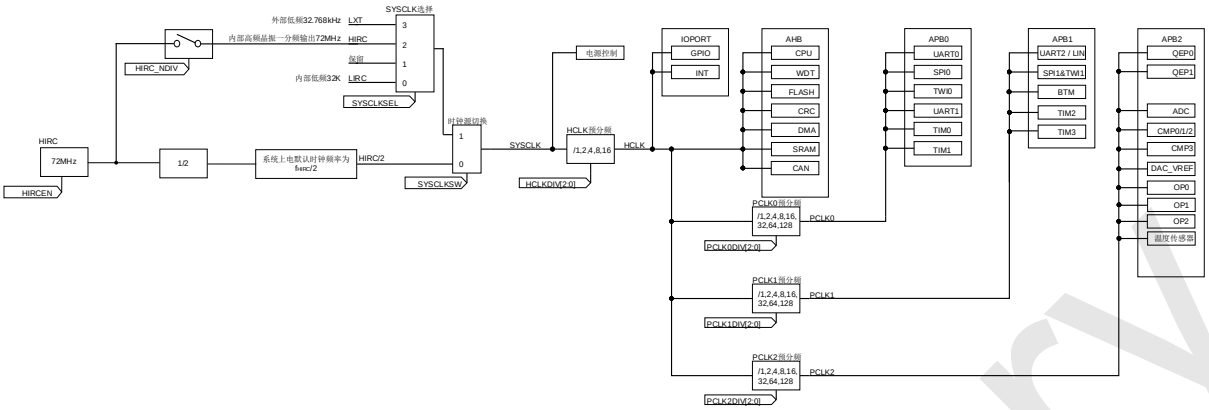
用户可通过多个预分频器配置 AHB、APB0、APB1、APB2 域的频率。

- HCLK：AHB 域主时钟，最大频率是 72MHz，包括 Cortex®-M0+内核、内存、DMA 等都由 HCLK 驱动。
- PCLK0：APB0 域主时钟，最大频率是 HCLK 的频率，APB0 总线上的外设都由 PCLK0 驱动；
- PCLK1：APB1 域主时钟，最大频率是 HCLK 的频率，APB1 总线上的外设都由 PCLK1 驱动；
- PCLK2：APB2 域主时钟，最大频率是 HCLK 的频率，APB2 总线上的外设都由 PCLK2 驱动；

RCC 通过 AHB 时钟（HCLK）8 分频后作为 SysTick 的外部时钟。通过对 SysTick 控制与状态寄存器的设置，可选择上述时钟或内核时钟作为 SysTick 时钟源。

Preliminary

5.3.3 时钟及总线分配框图



注意：系统上电后，默认的时钟频率 f_{SYS} 为 $f_{HIRC}/2$，用户可通过修改寄存器位 SYSCLKSW 与 SYSCLKSEL 选择所需的时钟源。

5.4 内建高频 72MHz 振荡器（HIRC）

HIRC 有以下功能及特性：

- 作为系统运行时钟
- 系统上电默认时钟频率 f_{SYS} 为 $f_{HIRC}/2$
- 频率误差：跨越（2.0V~5.5V）及（-40 ~ 105℃）应用环境下的频率误差≤ ±1%
- 可通过 32.768kHz 外接晶振进行自动校准，校准后 HIRC 精度可无限接近外接 32.768kHz 晶振的精度

5.5 内建低频 32kHz 振荡器（LIRC）

LIRC 有以下功能及特性：

- 作为系统运行时钟
- 作为 Base Timer 的时钟源
- 固定为 WDT 时钟源，WDT 使能后此时钟源必开启
- 频率误差：跨越（4.0 ~ 5.5V）及 25℃应用环境，经寄存器修正后频率误差≤ ±4%

5.6 内置低频振荡电路，可外接 32.768kHz 低频震荡器（LXT）

LXT 有以下功能及特性：

- 作为系统运行时钟
- 作为 Base Timer 时钟源
- 外接 32.768kHz 低频振荡器
- 可通过 LXT 对 HIRC 进行自动校准

Preliminary

6 中断

- M0+内核最多提供 32 个中断源，中断号为 0~31，SC32F15G 系列共 25 个中断源
- 四级中断优先级可设，中断优先级通过内核寄存器组 Interrupt priority registers 设置

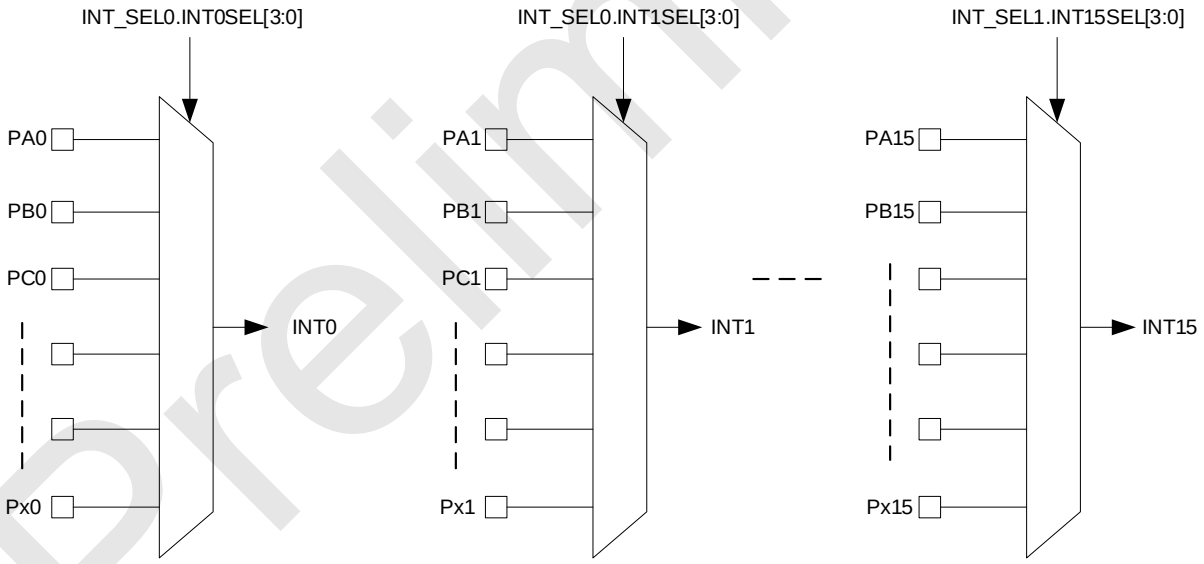
6.1 外部中断 INT0~15

外部中断有 16 个中断源，共占用 4 个中断向量，这 16 个外部中断源，全部可设上升沿、下降沿、双沿中断，经设置后可覆盖到所有的 GPIO 管脚，软件置起相应中断标志位（RIF/FIF 置 1），可触发进入相应的中断。

SC32F15G 系列外部中断的特性如下：

- 16 个 INT 中断源，共占用 4 个中断向量
- INT 经切换设置后可覆盖到所有的 GPIO 管脚
- 全部可设上升沿、下降沿、双沿中断，且均有独立对应中断标志位
- 软件置起相应中断标志位，可触发进入相应的中断

注意：切换 INT 功能时，用户需手动将 INTn（n=0~15）所在的 GPIO 端口设置为输入带上拉状态，端口输出状态下检测不到外部中断。



外部中断端口复用器

6.2 中断与事件

- NVIC 关闭，中断请求屏蔽位开启，可产生事件，不产生中断
- NVIC 开启后，中断请求屏蔽位做模块内的总中断开关

Preliminary

6.3 中断向量表

中断向量号	中断号	优先级	中断向量地址	中断源	内核/NVIC 使能位	中断请求屏蔽位	中断子开关	中断标志位	唤醒 stop
0	-	-	0x0000_0000	-		-	\	\	能
1	-	固定	0x0000_0004	RESET	PRIMASK	SCB	\	\	能
2	-	固定	0x0000_0008	NMI_Handler		SCB	\	\	能
3	-	固定	0x0000_000C	HardFault_Handler	PRIMASK	SCB	\	\	能
4~10	-	-	0x0000_0010 - 0x0000_0028	-		-	\	\	能
11	-	可设		SVC_Handler	PRIMASK	SCB	\	\	能
12~13	-	-	0x0000_0030 0x0000_0034	-		-	\	\	能
14	-	可设	0x0000_0038	PendSV_Handler	PRIMASK	SCB	\	\	能
15	-	可设	0x0000_003C	SysTick_Handler	PRIMASK	SysTick_CTRL	\	\	不能
16	0	可设	0x0000_0040	INT0	NVIC->ISER[0].0	INTF_IE->ENFx, x=0 INTR_IE->ENRx	\	INTF_STS->FIFx INTR_STS->RIFx	能
17	1	可设	0x0000_0044	INT1-7	NVIC->ISER[0].1	INTF_IE->ENFx, x=1~7 INTR_IE->ENRx	\	INTF_STS->FIFx INTR_STS->RIFx	能
18	2	可设	0x0000_0048	INT8-11	NVIC->ISER[0].2	INTF_IE->ENFx, x=8~11 INTR_IE->ENRx	\	INTF_STS->FIFx INTR_STS->RIFx	能
19	3	可设	0x0000_004C	INT12-15	NVIC->ISER[0].3	INTF_IE->ENFx, x=12~15 INTR_IE->ENRx	\	INTF_STS->FIFx INTR_STS->RIFx	能
20	4	可设	0x0000_0050	\	NVIC->ISER[0].4	\	\	\	
21	5	预留	0x0000_0054	\	NVIC->ISER[0].5	\	\	\	
22	6	可设	0x0000_0058	BTM	NVIC->ISER[0].6	BTM_CON->INTEN	\	BTM_STS->BTMIF	能
23	7	可设	0x0000_005C	UART0	NVIC->ISER[0].7	UART0_IDE->INTEN	UART0_IDE->TXIE UART0_IDE->RXIE	UART0_STS->TXIF UART0_STS->RXIF	能
				UART2/LIN		UART2_IDE->INTEN	UART2_IDE->TXIE UART2_IDE->RXIE UART2_IDE->BKIE UART2_IDE->SLVHEIE	UART2_STS->TXIF UART2_STS->RXIF UART2_STS->BKIF UART2_STS->SLVHEIF	不能
24	8	可设	0x0000_0060	UART1	NVIC->ISER[0].8	UART1_IDE->INTEN	UART1_IDE->TXIE UART1_IDE->RXIE	UART1_STS->TXIF UART1_STS->RXIF	能
25	9	可设	0x0000_0064	SPI0	NVIC->ISER[0].9	SPI0_IDE->INTEN	SPI0_IDE->RXNEIE SPI0_IDE->TBIE SPI0_IDE->RXIE SPI0_IDE->RXHIE SPI0_IDE->TXHIE	SPI0_STS->SPIF SPI0_STS->RXNEIF SPI0_STS->TXEIF SPI0_STS->RXFIF SPI0_STS->RXHIF SPI0_STS->TXHIF	不能
26	10	可设	0x0000_0068	SPI1	NVIC->ISER[0].10	SPI1_TWI1->INTEN	SPI1_TWI1_IDE->TBIE	SPI1_TWI1_STS->QTWIF SPI1_TWI1_STS->TXEIF	不能
				TWI1				SPI1_TWI1_STS->QTWIF	不能
27	11	可设	0x0000_006C	DMA0	NVIC->ISER[0].11	DMA0_CFG->INTEN	DMA0_CFG->TCIE DMA0_CFG->HTIE DMA0_CFG->TEIE	DMA0_STS->GIF DMA0_STS->TCIF DMA0_STS->HTIF DMA0_STS->TEIF	不能
28	12	可设	0x0000_0070	DMA1	NVIC->ISER[0].12	DMA1_CFG->INTEN	DMA1_CFG->TCIE DMA1_CFG->HTIE DMA1_CFG->TEIE	DMA1_STS->GIF DMA1_STS->TCIF DMA1_STS->HTIF DMA1_STS->TEIF	不能
29	13	可设	0x0000_0074	DMA2	NVIC->ISER[0].13	DMA2_CFG->INTEN	DMA2_CFG->TCIE DMA2_CFG->HTIE DMA2_CFG->TEIE	DMA2_STS->GIF DMA2_STS->TCIF DMA2_STS->HTIF DMA2_STS->TEIF	不能
30	14	可设	0x0000_0078	DMA3	NVIC->ISER[0].14	DMA3_CFG->INTEN	DMA3_CFG->TCIE DMA3_CFG->HTIE DMA3_CFG->TEIE	DMA3_STS->GIF DMA3_STS->TCIF DMA3_STS->HTIF DMA3_STS->TEIF	不能
31	15	可设	0x0000_007C	TIM0	NVIC->ISER[0].15	TIM0_IDE->INTEN	TIM0_IDE->TIE TIM0_IDE->EXFIE TIM0_IDE->EXRIE	TIM0_STS->TIF TIM0_STS->EXIF TIM0_STS->EXIR	不能
32	16	可设	0x0000_0080	TIM1	NVIC->ISER[0].16	TIM1_IDE->INTEN	TIM1_IDE->TIE TIM1_IDE->EXFIE TIM1_IDE->EXRIE	TIM1_STS->TIF TIM1_STS->EXIF TIM1_STS->EXIR	不能
33	17	可设	0x0000_0084	TIM2	NVIC->ISER[0].17	TIM2_IDE->INTEN	TIM2_IDE->TIE TIM2_IDE->EXFIE TIM2_IDE->EXRIE	TIM2_STS->TIF TIM2_STS->EXIF TIM2_STS->EXIR	不能

Preliminary

中断向量号	中断号	优先级	中断向量地址	中断源	内核/NVIC 使能位	中断请求屏蔽位	中断子开关	中断标志位	唤醒 stop
34	18	可设	0x0000_0088	TIM3	NVIC->ISER[0].18	TIM3_IDE->INTEN	TIM3_IDE->TIE TIM3_IDE->EXFIE TIM3_IDE->EXRIE	TIM3_STS->TIF TIM3_STS->EXIF TIM3_STS->EXIR	不能
35	19	预留	0x0000_008C	\	NVIC->ISER[0].19	\	\	\	不能
36	20	可设	0x0000_0090	QEP0	NVIC->ISER[0].20	QEP0_IDE->INTEN	QEP0_IDE->PCUIE QEP0_IDE->PCOIE QEP0_IDE->IERIE QEP0_IDE->UPEVNTIE	QEP0_STS->PCUIF QEP0_STS->PCOIF QEP0_STS->IERIF QEP0_STS->UPEVNTIF	不能
37	21	预留	0x0000_0094	\	NVIC->ISER[0].21	\	\	\	不能
38	22	可设	0x0000_0098	OP1_CMP	NVIC->ISER[0].22	OP_IDE>INTEN	OP_IDE->OP_CMP1IE	OP_STS->OP_CMP1IF	不能
				OP2_CMP			OP_IDE->OP_CMP2IE	OP_STS->OP_CMP2IF	不能
39	23	可设	0x0000_009C	TWI0	NVIC->ISER[0].23	TWI0_IDE->INTEN	\	TWI0_STS->TWIF	不能
40	24	可设	0x0000_00A0	QEP1	NVIC->ISER[0].24	QEP1_IDE->INTEN	QEP1_IDE->PCUIE QEP1_IDE->PCOIE QEP1_IDE->IERIE QEP1_IDE->UPEVNTIE	QEP1_STS->PCUIF QEP1_STS->PCOIF QEP1_STS->IERIF QEP1_STS->UPEVNTIF	不能
41	25	预留	0x0000_00A4	\	\	\	\	\	
42	26	预留	0x0000_00A8	\	\	\	\	\	
43	27	预留	0x0000_00AC	\	\	\	\	\	
44	28	可设	0x0000_00B0	CAN	NVIC->ISER[0].28	CAN_IDE->INTEN	CAN_RTIE->RIE CAN_RTIE->ROIE CAN_RTIE->RFIE CAN_RTIE->RAFIE CAN_RTIE->TPIE CAN_RTIE->TSIE CAN_RTIE->EIE CAN_RTIE->EPIE CAN_RTIE->ALIE CAN_RTIE->BEIE	CAN_RTIE->RIF CAN_RTIE->ROIF CAN_RTIE->RFIF CAN_RTIE->RAFIF CAN_RTIE->TPIF CAN_RTIE->TSIF CAN_RTIE->EIF CAN_RTIE->EPIF CAN_RTIE->ALIF CAN_RTIE->BEIF	不能
45	29	可设	0x0000_00B4	ADC	NVIC->ISER[0].29	ADC_IDE->INTEN	ADC_IDE->EOCIE ADC_IDE->EOSIE0 ADC_IDE->UPTHIE ADC_IDE->DOWTHIE	ADC_STS->ADCIF ADC_STS->EOSIF0 ADC_STS->UPTHIF ADC_STS->DOWTHIF	不能
46	30	可设	0x0000_00B8	CMP0	NVIC->ISER[0].30	CMPX_IDE->INTEN	CMPX_IDE->CMP0IE	CMPX_STS->CMP0IF	能
				CMP1			CMPX_IDE->CMP1IE	CMPX_STS->CMP1IF	
				CMP2			CMPX_IDE->CMP2IE	CMPX_STS->CMP2IF	
47	31	可设	0x0000_00BC	CMP3	NVIC->ISER[0].31	CMP3_IDE->INTEN	\	CMP3_STS->CMP3IF	能

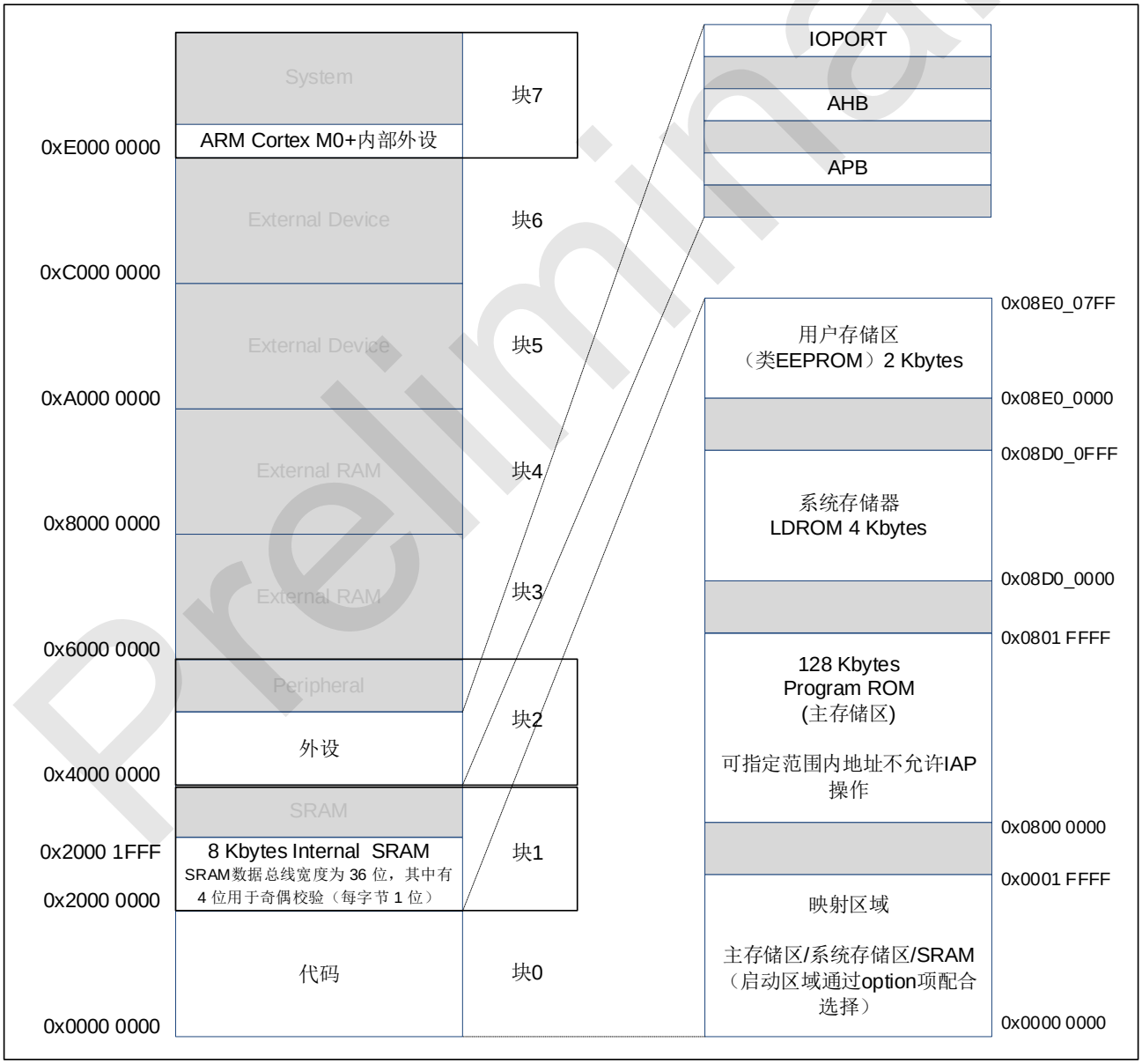
Preliminary

7 存储

7.1 概述

程序存储器、数据存储器、寄存器排列在同一个线性（即地址连续）的 4 GB 地址空间内。各字节按小端格式在存储器中编码。字中编号最低的字节被视为该字的最低有效字节，而编号最高的字节被视为最高有效字节。可寻址的存储空间分为 8 个块，每个块为 512 MB。

7.2 存储框图



SC32F15G 存储器映射图

Preliminary

7.3 特性

- 存储 Flash 位宽为 32 Bits，可反复写入 10 万次
- 常温下数据保存时间为 100 年以上。
- Flash 的组成结构如下：
  - 最大 128 Kbytes APROM（主存储区）
  - 4 Kbytes LDROM（系统存储区）
  - 2 Kbytes 类 EEPROM（用户存储区）
  - 8 Kbytes 数据存储器 SRAM
  - 96 Bits Unique ID

7.4 APROM（主存储区）

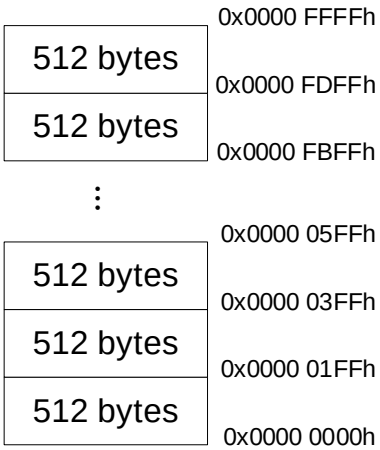
- 最大存储容量：128 Kbytes
- 扇区（sector）大小：512 bytes
- 支持操作：读/ 写/ 扇区擦除/ 全擦除/ 查空
- CPU（Cortex®-M0+）通过 AHB 总线访问 Flash
- 程序默认从主存储区启动，用户可通过 Customer Option OP_BL[1:0]选择程序从 SRAM、LDROM 等其它区域启动
- 读保护：即读取加密，当读保护开启后，仅主存储区启动运行的程序可读取主存储区信息，其它区域启动或第三方工具均无法获取主存储区信息
- 写保护：提供两段禁止 IAP 操作的硬件写保护区域，用户可按扇区为单位设定该区域的范围

APROM（128 Kbytes）分为 256 个 512 bytes 的扇区（sector），用户烧录时，目标地址所属的 Sector 将被强制擦除后写入数据；用户写操作时，必须先擦除，再写入数据。

SC32F15G 系列 128 Kbytes APROM Sector 分区示意

APROM（64 Kbytes）分为 128 个 512 bytes 的扇区（sector），用户烧录时，目标地址所属的 Sector 将被强制擦除后写入数据；用户写操作时，必须先擦除，再写入数据。

Preliminary

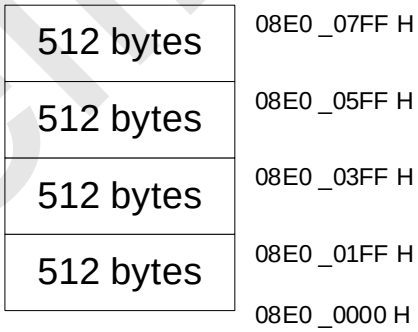


SC32F15G 系列 64 Kbytes APROM Sector 分区示意

7.5 2 Kbytes 类 EEPROM（用户存储区）

2K bytes 独立 EEPROM 区域地址为 0x08E0_0000 H~ 0x08E0_07FF H，由 IAPADE 寄存器设定。独立 EEPROM 可反复写入 10 万次，常温下数据保存时间为 100 年以上。独立 EEPROM 支持查空、编程、校验、擦除和读取功能。

EEPROM 共有 4 个 512 bytes 的扇区（sector）：



SC32F15G EEPROM Sector 分区示意

注意：EEPROM 擦写次数为 10 万次，用户擦写不要超过 EEPROM 的额定烧写次数，否则会出现异常！

7.6 4 Kbytes LDROM（系统存储区）

- 系统存储区为 4 Kbytes LDROM，出厂固化 ISP 程序，该区域用户无法访问或改写
- 嵌入式自举程序为固化的 ISP 程序，该指令公开，允许用户通过 UART 重新编程 Flash。程序运行期间，若 500ms 内未接收到升级指令，则自动跳转至主存储区（0X0800 0000）执行

Preliminary

7.6.1 BootLoader

支持硬件和软件两种 BootLoad 方式，用户可根据需求灵活选择：

- 软件方式：通过软件划分 BootLoad 和 APP 区域、修改 VTOR 可轻易实现 BootLoad、APP 中断共用，调整各区大小
- 硬件方式：4 Kbytes 固定“系统存储区”作为专用 BootLoader 区域，用户不可对其进行读写操作：
  - 系统存储区作为一个固化的 BootLoader 空间，其中的程序在出厂前已烧录完成，用户不可读写。
  - 嵌入式自举程序位于系统存储区中，在生产阶段已完成编程。具有固化的 ISP 程序，该指令已公开，用户可利用该程序通过 UART 重新编程 Flash。

7.7 SRAM

- Internal SRAM：8 Kbytes，地址 0x2000 0000 ~ 0x2000 1FFF
- 支持奇偶校验：
  - 额外的 1Kbytes RAM 用于奇偶校验：即 SRAM 数据总线宽度为 36 位，其中有 4 位用于奇偶校验（每字节 1 位）
  - 奇偶校验位在写入 SRAM 时进行计算和保存，在读取时自动进行校验。如果某一位失败，则将生成不可屏蔽中断（Cortex®-M0+ NMI）
  - 提供独立的 SRAM 奇偶校验错误标志 SRAMPEIF。

注意：当启用 SRAM 奇偶校验时，建议在代码开始处使用软件初始化整个 SRAM，以免在读取非初始化位置时出现奇偶校验错误。

- 用户可通过 Customer Option OP_BL[1:0]选择程序从 SRAM 启动
- 能够以最大系统时钟频率按字节、半字（16 位）或全字（32 位）访问，无等待状态，因此可由 CPU 和 DMA 访问。

7.8 启动区域选择（自举）

复位后，用户可自行设置所需的自举模式配置。

退出待机模式后，还可以对启动模式配置进行重新采样。该启动延迟结束后，CPU 将从地址 0x0000 0000 获取栈顶值，然后从始于 0x0000 0004 的自举存储器开始执行代码。

自举区域选择有三种：主存储区、系统存储区和 SRAM，详细描述如下：

7.8.1 从主存储区自举

主存储区在自举存储器空间 (0x0000 0000) 中有别名，但也可从它原来的存储器空间 (0x0800 0000) 访问。换句话说：程序可从地址 0x0000 0000 或 0x0800 0000 开始访问。

7.8.2 从系统存储区自举

- 系统存储区（4 Kbytes LDROM）作为一个固化的 BootLoader 空间，其中的程序是出厂前烧录好，用户不可读写。
- 嵌入式自举程序：嵌入式自举程序位于系统存储区中，在生产阶段编程。固化的 ISP 程序，该指令公开，可以利用该程序通过 UART 重新编程 Flash。

Preliminary

7.8.3 从嵌入式 SRAM 自举

SRAM 在自举存储器空间 (0x0000 0000) 中有别名，但也可从它原来的存储器空间 (0x2000 0000) 访问。

7.8.4 自举模式设置

通过寄存器控制位 BTLD[1:0]配合软件复位 RST 控制位可实现三种自举模式，BTLD 和 RST 受 IAP_KEY 保护：

① 设置 BTLD[1:0]=0x00，芯片软件复位后从主存储区（APROM）启动
② 设置 BTLD[1:0]=0x01，芯片软件复位后从系统存储区（LDROM）启动
③ 设置 BTLD[1:0]=0x10，芯片软件复位后从嵌入式 SRAM 启动

在芯片烧录阶段，通过 Customer Option 项 OP_BL[1:0]实现芯片上电初始启动区域选择：

① 在 customer option 中设置 OP_BL[1:0]=0x00，芯片复位后从主存储区（APROM）启动
② 在 customer option 中设置 OP_BL[1:0]=0x01，芯片复位后从系统存储区（LDROM）启动
③ 在 customer option 中设置 OP_BL[1:0]=0x10，芯片复位后从嵌入式 SRAM 启动

7.9 96 Bits Unique ID

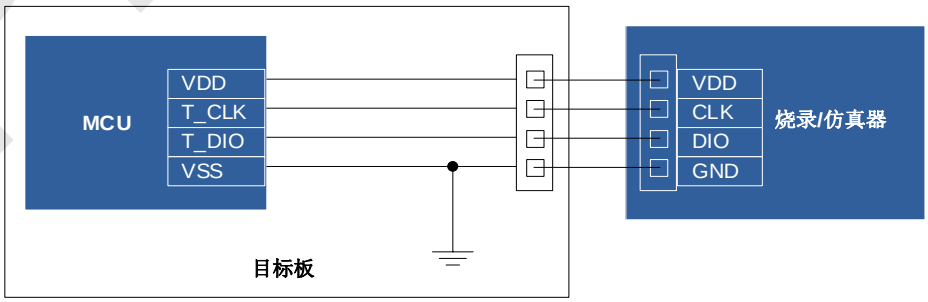
SC32F15G 提供了一个独立的 Unique ID 区域，出厂前会预烧一个 96 Bits 的唯一码，用以确保该芯片的唯一性。用户获得序列号的唯一方式是通过 IAP 指令读取。

7.10 User ID 区域

User ID 区域，出厂时写入用户定制 ID，用户可对其进行读操作，但禁止对 User ID 区域进行写操作。

7.11 编程

SC32F15G 的 Flash 通过 T_DIO、T_CLK、VDD、VSS 来进行编程，具体连接关系如下：



ICP 模式 Flash Writer 编程连接示意图

T_DIO、T_CLK 是 2 线 JTAG 烧写和仿真的信号线，用户在烧录时可通过 Customer Option 项配置这两端口的模式：JTAG 专用模式和常规模式（JTAG 专用口无效）。

Preliminary

注意：UART0 的信号引脚支持两种映射方案：

- **映射 1：RXD0 / TXD0**
- **映射 2：RXD0A / TXD0A**

当选择映射 1（RXD0/TXD0） 时，该组引脚与系统烧录/调试接口（T_CLK / T_DIO）复用。在此映射下，若启用全双工通信，T_CLK / T_DIO 可能会与 UART0 的 RXD0 接收时序产生冲突，导致通信异常。因此，选择映射 1 时必须将 UART0 配置为半双工通信模式，以避免此硬件冲突并保证通信稳定性。

如需使用全双工 UART 通信，请将管脚映射至映射 2（RXD0A/TXD0A）。

7.11.1 JTAG 专用模式

JTAG 专用模式下，T_DIO、T_CLK 为烧写仿真专用口，与之复用的其它功能不可用。此模式一般用于在线调试阶段，方便用户仿真调试；JTAG 专用模式生效后，芯片无需重新上下电即可直接进入烧录或仿真模式。

7.11.2 常规模式（JTAG 专用口无效）

常规模式下，JTAG 功能不可用，端口上与之复用的其它功能可正常使用。此模式可防止烧录口占用 MCU 管脚，方便用户最大化利用 MCU 资源。

注意：当 JTAG 专用口无效的配置设定成功后，芯片必须彻底下电再重新上电后才能进入烧录或仿真模式，这样就会影响到带电模式下的烧录和仿真。赛元建议用户在量产烧录时选择 JTAG 专用口无效的配置，在研发调试阶段选择 JTAG 模式。

相关 Customer Option 如下：

寄存器	读/写	说明	复位值
COPT1_CFG@0xC2	读/写	Customer Option 映射寄存器 1	0x0000_0000

7	6	5	4	3	2	1	0
ENWDT	DISJTG	DISRST	-	-	-	OP_BL[1:0]	

位编号	位符号	说明
6	DISJTG	JTAG 口切换控制位 0：JTAG 模式使能，对应管脚只能作为 T_CLK/ T_DIO 使用 1：常规模式（Normal），JTAG 功能无效

7.12 安全加密

SC32F15G 系列的安全加密功能主要是对 APROM 进行读保护加密：用户可在烧录阶段通过赛元专用烧录套件的烧录上位机的 Customer Option 项配置读保护加密功能，选择是否开启 Flash 读保护，进入加密模式：

- 芯片默认出厂时 Flash 为非加密状态
- 读保护加密功能无映射寄存器，用户只能在烧录阶段通过赛元专用烧录套件的烧录上位机的 Customer Option 项配置，必须经过烧录才能完成修改。
- 加密失能：可对主存储区执行读取、编程和擦除操作。也可对选项字节和备份寄存器进行所有操作。

Preliminary

- 加密使能：
  - 主存储区启动：在用户模式下执行的代码（从用户 APROM 自举）可对主存储区执行所有操作。
  - 调试、从 SRAM 启动以及从系统存储区启动：在调试模式下或当代码从 SRAM 或 系统存储区启动时，主存储区完全不可访问。
- 取消加密使能必须先对主存储区进行全擦操作。

7.12.1 安全加密操作权限

启动区域/工具	解锁状态					读保护加密状态				
	读	写	块擦	全擦	操作写保护区域	读	写	块擦	全擦	操作写保护区域
从 APROM 自举	√	√	√	\	禁止	√	√	√	\	禁止
调试/从 SRAM 自举	√	√	√	√	禁止	禁止	禁止	禁止	禁止	禁止
从系统存储区自举	√	√	√	√	√	禁止	禁止	禁止	√	禁止

7.13 In Application Programming (IAP)

SC32F15G 的 APROM 中的 IAP 区域可进行 In Application Programming (IAP)操作，用户可以通过 IAP 操作实现远程程序更新，也可以通过 IAP 读操作获取 Unique ID 区域或 User ID 区域信息。进行 IAP 写数据操作前，用户必须对目标地址所属的 Sector 进行扇区擦除操作。

芯片默认出厂时 APROM 允许全局 IAP 操作。芯片内部提供两组 APROM 写保护区域，按照扇区单位设置起始，被保护的区域禁止 IAP 操作，设置规则如下：

IAPPORx 寄存器值（x=A 或 B）	IAPPOR 保护区域
IAPPORx_ST = IAPPORx_ED	扇区 IAPPORx
IAPPORx_ST > IAPPORx_ED	无（不受保护）
IAPPORx_ST < IAPPORx_ED	从 IAPPORx_ST 到 IAPPORx_ED 的扇区

用户在烧录时可通过 Customer Option 项里的“Flash sectors protection”配置这两段 APROM 写保护区域。

Preliminary

8 模数转换器（ADC）

8.1 概述

SC32F15G 系列提供一个 12 位 ADC 逐次逼近型模数转换器。具有 18 个通道，可测量来自 16 个外部源和 2 个内部源的信号，2 个内部源分别是 V_{DD} 电压和芯片温度。每个通道的 A/D 转换在采样后进行，ADC 的转换结果存储在一个 32 位数据寄存器中。

8.2 时钟源

- SC32F15G 系列的 ADC 的采样时钟为 PCLK
- ADC 的单次转换时间为 404ns

8.3 特性

- 精度：12 位
- 最多支持 18 路通道：
  - 外部 16 路 ADC 采样通道和 I/O 端口的其他功能复用
  - 外部 3 路 AIN 与 OP 复用，可测量 OP 模块的输出信号，分别为 OP0、OP1、OP2
  - 内部一路 ADC 可直接测量 V_{DD} 电压
  - 内部一路芯片温度采样通道
- 提供 ADC 阈值看门狗功能，精确监测所有选定通道的转换电压，可同时设定上下阈值，当转换电压超出编程阈值时，可产生中断
- 两种转换模式可选：
  - 单次转换，通过软件触发
  - 序列转换，通过软件触发
- 可设 ADC 转换完成中断
- 单次转换时间为 404ns
- 支持 DMA 传输：ADC 转换完成可产生 DMA 请求
- ADC 转换结果支持溢出提醒，当溢出发生时 OVERRUN 标志位置起，且 OVERRUN 标志位与 ADC 转换结果在同一寄存器 ADCV，用户可一次性读取

8.4 ADC 采样和转换时间

LOWSP[2:0] 设置值	采样时钟个数	采样时间 @F_{PCLK} = 72MHz 单位：ns	转换时间固定 单位：ns	ADC 从采样到完成转换的总时间 ns
000	3	42	404	446
001	6	83	404	487
010	9	125	404	529
011	15	208	404	612

Preliminary

LOWSP[2:0] 设置值	采样时钟个数	采样时间 @F_{PCLK} = 72MHz 单位：ns	转换时间固定 单位：ns	ADC 从采样到完成转换的总时间 ns
100	30	417	404	821
101	60	833	404	1237
110	120	1667	404	2071
111	480	6667	404	7071

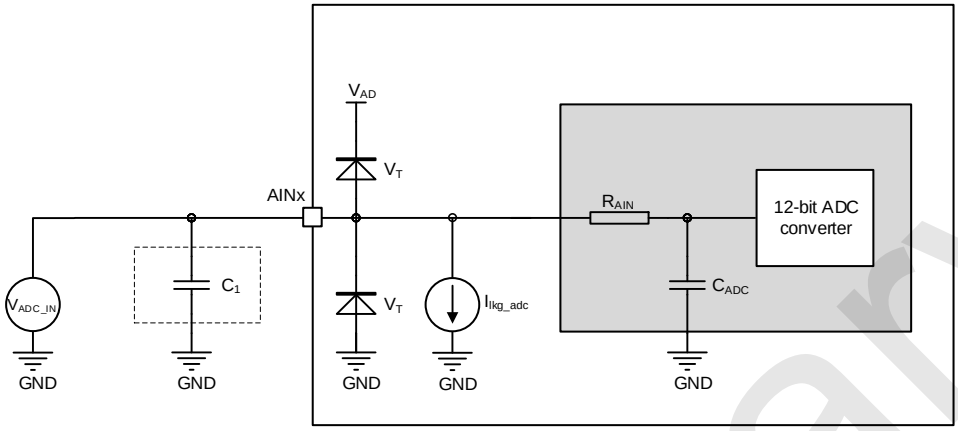
8.5 ADC 转换步骤

用户实际进行 ADC 转换所需要的操作步骤如下：

① 设定 ADC 输入管脚；（设定 AINx 对应的位为 ADC 输入，通常 ADC 管脚会预先固定）；
② 通过 REFSEL 位设定 ADC 基准源，若选择 VREF 则需额外设定 VREF 的基准值
③ ADCEN 写 1，开启 ADC 模块电源；
④ 设置 ADCISA[4:0]，选择空闲及手动触发采样情况下选中的通道
⑤ 通过 UPTH[11:0]与 DOWTH[11:0]位设置 ADC 转换值得上下阈值，若 ADC 转换结果值超过阈值，则会置起对应标志位；用户还可通过 ADC_TH_CFG 寄存器自由设置通道是否进行阈值判断。
⑥ 选择单次转换或序列转换，若选择单次转换，则设置 CONT 为 0，并对 ADCS 写 1 以触发 ADCISA 选中的通道 ADC 转换。
⑦ 若选择序列转换，则需事先对 ADC_SQ0 寄存器设置顺序，并通过 ADC_SQCNT 寄存器的 SQSTR0 设置序列采样起始位置与 SQCNT0 设置采样个数。要开始序列转换，设置 CONT 为 1，且对 ADCS 写 1 即可开始一次序列的转换，转换将按照序列选中的有效 DSn 编号从小到大的顺序进行采样及转换。
⑧ ADCIF 置起，则说明一次转换完成，如果 ADC 中断使能且 EOCIE 使能，则会进入一次转换完成中断，用户需要软件清除 ADCIF 标志。
⑨ EOSIF0 置起，则说明对应序列采样及转换完成，如果 ADC 中断使能且 EOSIE0 使能，则会进入序列采样及转换完成中断，用户需软件清除 EOSIF0 标志。
⑩ 采样模式下采样通道对应转换结果会存放在 ADCVA[11:0]中，若不及时读取 ADCV 寄存器，下一次转换结果将会覆盖当前转换结果，且将 OVERRUN 位置 1，表面转换结果溢出；转换结果溢出不会影响采样转换的进行，转换结果上下阈值，则会在转换结果存入 ADCVA[11:0]后，会将转换结果与上下阈值进行比较，若超过阈值则会置起 UPTHIF 上阈值溢出标志位或 DOWTHIF 下阈值溢出标志位；如果 ADC 中断使能且 UPTHIE/DOWTHIE 使能，则会进入对应阈值溢出中断
⑪ 若设置了 ADC 转换结果上下阈值，则会在转换结果存入 ADCVA[11:0]后，会将转换结果与上下阈值进行比较，若超过阈值则会置起 UPTHIF 上阈值溢出标志位或 DOWTHIF 下阈值溢出标志位；如果 ADC 中断使能且 UPTHIE/DOWTHIE 使能，则会进入对应阈值溢出中断
⑫ 可通过 DMA 传输转换数据。

Preliminary

8.6 ADC 连接电路图



说明：

- C1 为外接 0.01μF 电容，建议用户增加此电容以提升 ADC 性能；
- ADC 相关电气参数详见 27.10ADC 电气特性。

Preliminary

9 内部基准源（VREF）

9.1 概述

SC32F15G 系列内部集成一个独立的内部基准模块（VREF），可作为多个外设的基准源。

9.2 时钟源

SC32F15G 系列 VREF 的时钟源来自 PCLK2。

9.3 内部基准源模块配置

系统模拟电路基准模块有四种配置方式：

- VREFCFG1=0、VREFCFG0=0，Vref PIN 端口不使能、内建基准模块关闭；
- VREFCFG1=0、VREFCFG0=1，模拟电路使用内建基准，Vref 电压为 VREFS[1:0]选定项；
- VREFCFG1=1、VREFCFG0=0，模拟电路使用外接基准，Vref 由外部 Vref PIN 输入；
- VREFCFG1=1、VREFCFG0=1，模拟电路使用内建基准，Vref 电压为 VREFS[1:0]选定项。

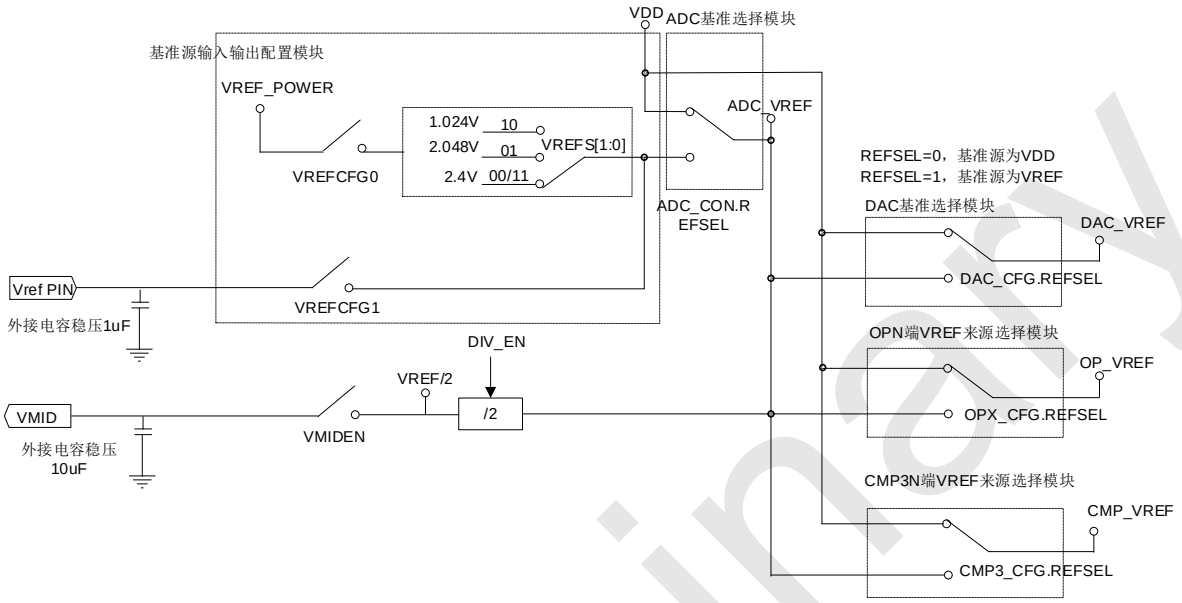
9.4 内部基准源输出

内部基准源模块使能后，VREF 可作为 ADC/DAC/OP/CMP 的基准选择，也可二分之一分压后通过 VMID 引脚输出。

Preliminary

9.5 内部基准源功能框图

Vref PIN 可作为输入输出引脚，VMID 只能作为输出引脚。



Preliminary

10 数模转换器（DAC）

10.1 概述

SC32F15G 内部集成一个独立的 10 Bits 数模转换器（DAC）。此 DAC 有两个独立的输出端口 DACOUT0 和 DACOUT1，DAC 也可在芯片内部输出到 OP1/OP2 的反相端。

10.2 时钟源

SC32F15G 系列的 DAC 时钟源仅来自 PCLK2

10.3 特性

- 基准源可选择 VDD 或 VREF
- 输出方式有两种：
  - 两个独立的输出端口 DACOUT0 或 DACOUT1 输出
  - 在芯片内部输出到 OP1/OP2 的反相端
  - 在芯片内部输出到 CMP0/1/2/3 的负向输入端

Preliminary

11 温度传感器

11.1 概述

SC32F15G 内建一个温度传感器，可通过 ADC 电路测量温度传感器电压。

11.2 温度传感器操作步骤

使用温度传感器时，ADC 参考电压选择内部 2.4V 作为参考，温度传感器每增加 1℃，ADC 转换值会增加固定值。赛元出厂时已将每颗芯片 25℃对应的 ADC 转换结果写入到对应地址中。

用户使用温度传感器的操作步骤如下：

① 设定 ADC 参考电压 Vref 为内部 2.4V 基准源，设定 ADC 采样周期，建议选择 60 个以上采样时钟，之后开启 ADC 模块电源；
② 选择 ADC 输入通道为温度传感器通道；
③ 使能温度传感器，TS_EN 写 1；
④ 延时 20μs；
⑤ TS_CHOP 写 0，启动 ADC 转换，一次转换完成，记录转换值 ADC_{Value1}；
⑥ TS_CHOP 写 1，启动 ADC 转换，一次转换完成，记录转换值 ADC_{Value2}；
⑦ 将两次转换值求平均：

$$ADC_{Value} = \frac{(ADC_{Value1} + ADC_{Value2})}{2}$$

⑧ 从对应地址读取出厂时写入的 25 摄氏度 ADC 转换值 $ADC_{ValueTest}$；
⑨ 代入公式计算得到当前温度：

$$Temperature = 25℃ + \frac{(ADC_{Value} - ADC_{ValueTest})}{8.53}$$

用户若需获取更多温度传感器相关信息，请参考《赛元 SC32F1XXX 系列 MCU 应用指南 V1.4》

Preliminary

12 运放及可编程增益放大器（OP）

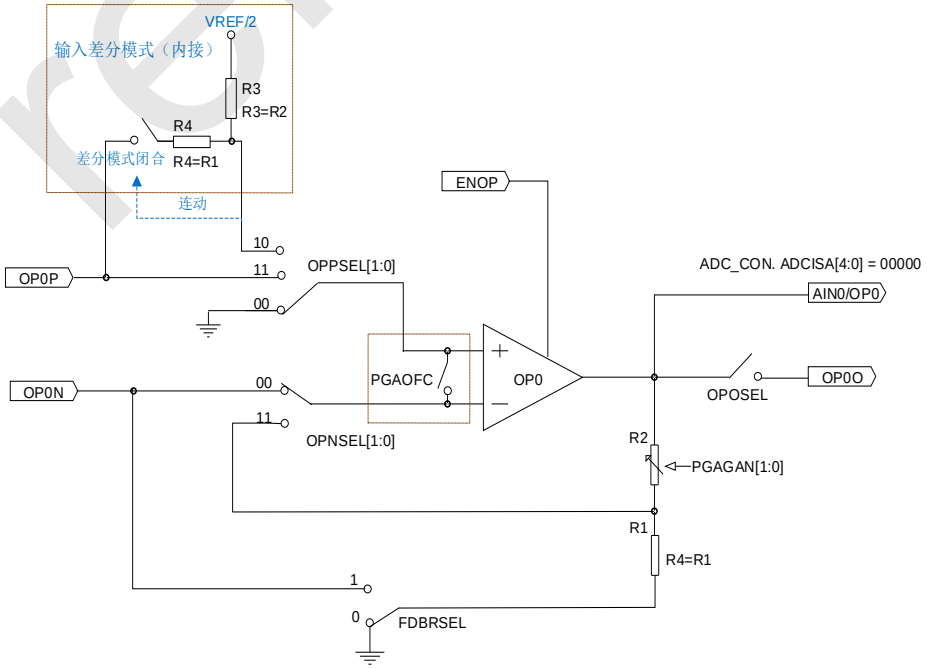
12.1 概述

SC32F15G 系列内建三个独立的 Rail-to-Rail 可配置增益放大器：OP0/OP1/OP2。

12.2 特性

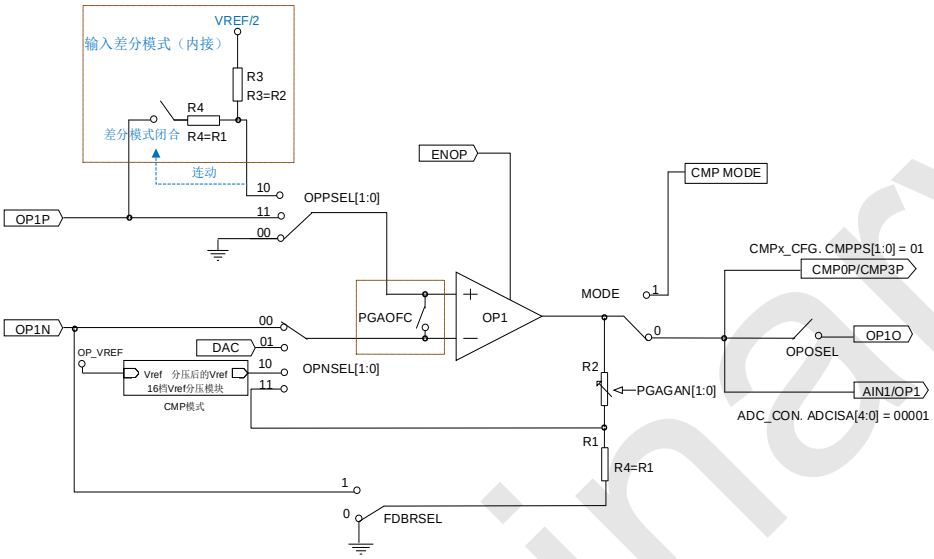
- 三个 OP 均可配置为 PGA 模式，单端模式增益如下
  - 同相输入增益：4/8/16/32
  - 反相输入增益：3/7/15/31
- 三个 OP 的同相端、反相端以及输出端均有独立的对外端口
- 三个 OP 的输出分别与三路 ADC 通道复用，输出结果可通过 ADC 结果寄存器读出
- OP1/OP2 可设置为比较器（CMP）模式：
  - CMP 模式下迟滞电压固定为 10~15mV
  - CMP 模式下的响应时间：典型值 50ns
- OP1/OP2 均可输出到 CMP0 和 CMP3 的正端
- 参数
  - 带宽 10MHz
  - 输入失调电压≤10mV，需调零
  - 压摆率≥10V/us

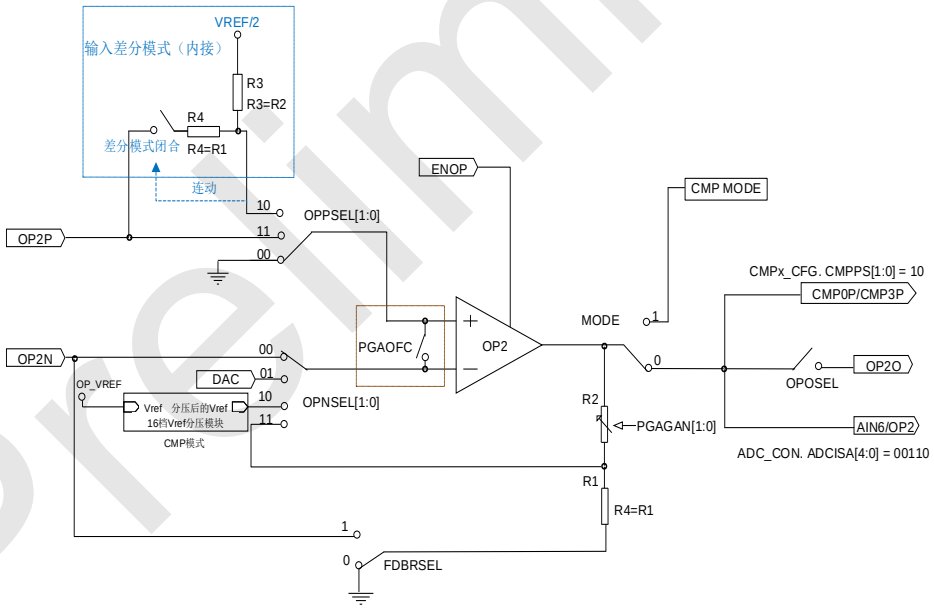
12.3 OP0 框图



Preliminary

12.4 OP1 / OP2 框图





12.5 OP0 端口选择

12.5.1 OP0 精度调整

可通过设置 PGA 输入端 offset 调整控制位 PGAOFC=1，将 OP 模块的同相端与反相端输入短接来实现精度调整。其他情况下，PGAOFC 设置为 0。

Preliminary

12.5.2 OP0 同相端输入

OP0 的同相端输入有三种：OP0P 外部引脚、内部 VSS 和输入差分模式，可通过 OPPSEL[1:0]切换选择。当选择差分模式时，需同步使能 VREF_CFG. DIV_EN，偏置电压 VREF/2 才有输出。

12.5.3 OP0 反相端输入

OP0 的反相端输入有两种：OP0N 外部引脚和内部反馈电阻。选择 OP0N 外部引脚为反相端输入时，需设置 OP0 输入控制位 OPNSEL[1:0]=00，反馈电阻端连接选择位 FDBRSEL=1；选择内部反馈电阻为反相端输入时，需设置 OPNSEL[1:0]=11，FDBRSEL=0 或 1，并通过内部增益档位选择位 PGAGAN[1:0]进行内部增益档位选择。

12.5.4 OP0 输出

OP0 的输出有两种：用于 AD 转换器的模拟输入或者通过 OP0O 外部引脚输出。

具体设置方式如下：

- OP0 通过 OP0O 外部引脚输出时，需设置 OPOSEL=1；
- OP0 的输出端默认与 ADC 输入相连，通过设置 ADCISA[4:0]=00000 选择 OP0 输出作为 ADC 输入，使能 ADC 后，OP 的转换结果可直接在 ADCV 寄存器获取。

12.6 OP1/2 端口选择

12.6.1 OP1/2 精度调整

可通过设置 PGA 输入端 offset 调整控制位 PGAOFC=1，将 OP 模块的同相端与反相端输入短接来实现精度调整。其他情况下，PGAOFC 设置为 0。

12.6.2 OP1/2 同相端输入

OP1/2 的同相端输入有三种：OP1P/OP2P 外部引脚、内部 VSS 和输入差分模式，可通过 OPPSEL[1:0]切换选择。当选择差分模式时，需同步使能 VREF_CFG. DIV_EN，偏置电压 VREF/2 才有输出。

12.6.3 OP1/2 反相端输入

OP1/2 的反相端输入有四种：OP1N/OP2N 外部引脚、DAC 输出、OPRF[3:0]设定值和内部反馈电阻。

具体设置方式如下：

- 选择 OP1N/OP2N 外部引脚为反相端输入时，需设置 OP1/2 反相端输入控制位 OPNSEL[1:0]=00，反馈电阻端连接选择位 FDBRSEL=1；
- 选择 DAC 为反相端输入时，需使能 DAC 模块，并设置 OP1/2 反相端输入控制位 OPNSEL[1:0]=01；
- 选择 OPRF[3:0]设定值为反相端输入时，需设置 OP1/2 反相端输入控制位 OPNSEL[1:0]=10；
- 选择内部反馈电阻为反相端输入时，需设置 OPNSEL[1:0]=11，并通过内部增益档位选择位 PGAGAN[1:0]进行内部增益档位选择。

Preliminary

12.6.4 OP1/2 输出

OP1/2 的输出有三种： AD 转换器的模拟输入、CMP0/CMP3 的正端输入或者通过 OP1O/OP2O 外部引脚输出。

具体设置方式如下：

- OP1/2 输出作 AD 转换器的模拟输入或者 CMP0/CMP3 的正端输入，需设置 MODE=0 使 OP1/2 为运放模式。
- OP1/2 在运放模式下，可输出到外部引脚 OP1O/OP2O，此时需设置 OPOSEL=1。

Preliminary

13 模拟比较器（CMP）

13.1 概述

SC32F15G 内建四个模拟比较器 CMP0/1/2/3，其中 CMP0/1/2 共用反相端，CMP3 完全独立。

CMP 中断可唤醒 STOP 模式。可用于报警器电路、电源电压监测电路、过零检测电路等。

13.2 时钟源

SC32F15G 系列所有的 CMP 时钟源仅有一种，来自 PCLK2

13.3 CMP0/1/2 特性

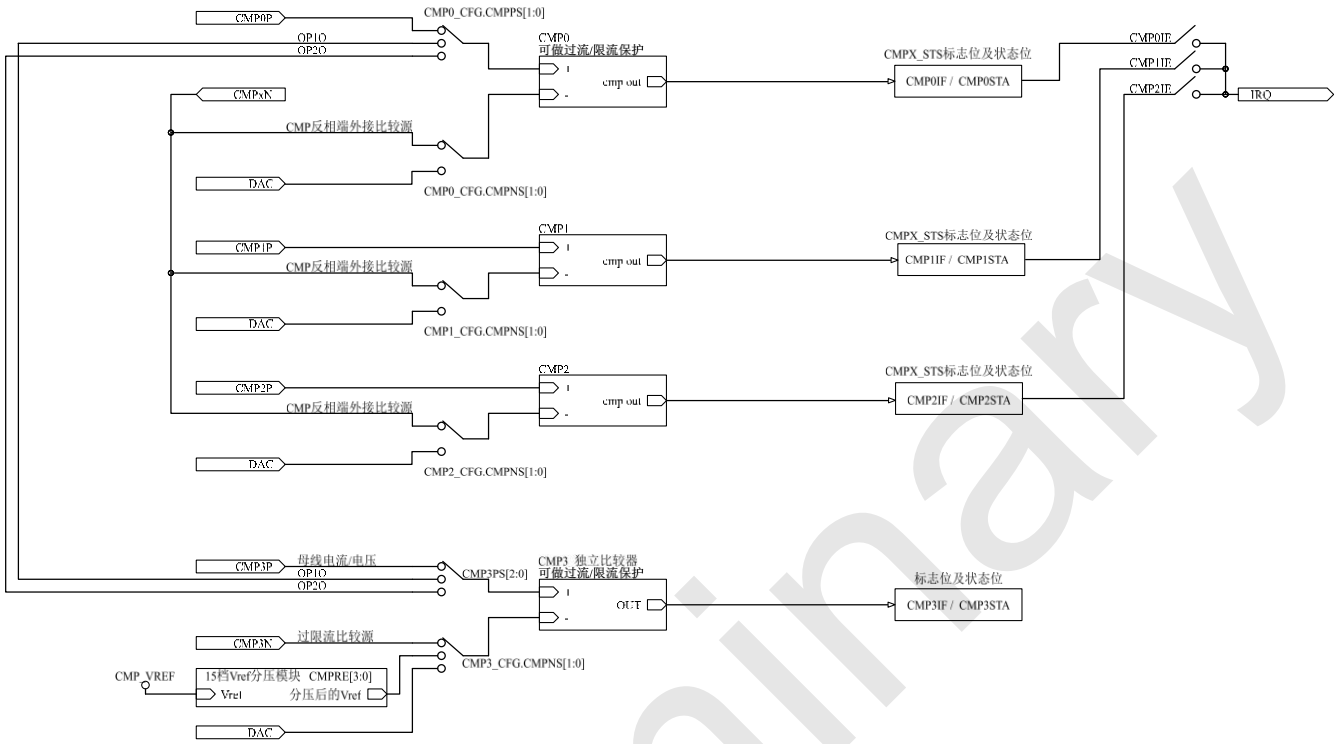
- 三个 CMP 正端均有独立的外部输入端口
- CMP0 的可使用 OP1/OP2 的输出作为正端输入
- 三个 CMP 的负端均可独立切换至：
  - 三个 CMP 共用的外部输入端口 CMPxN
  - 内建 DAC 输出
- CMP0/1/2 中断可唤醒 STOP Mode
- 迟滞电压四档可选：0/5/10/20mV
- 响应时间约为 50ns

13.4 CMP3 特性

- CMP3 正端可切换至
  - 外部输入端口 CMP3P
  - OP1/OP2 的输出
- CMP3 负端可切换至
  - 外部输入端口 CMP3N
  - 内建的 DAC 输出
  - VREF 的 16 档分压模块输出
- CMP3 中断可唤醒 STOP Mode
- 迟滞电压四档可选：0/5/10/20mV
- 响应时间约为 50ns

Preliminary

13.5 模拟比较器结构框图



CMP 结构框图

Preliminary

14 独立正交编码捕捉模块（QEP）

14.1 概述

SC32F15G 内部集成两个正交编码捕捉模块（简称 QEP），可以与线性或增量编码器等设备连接，用于获取机器的位置、方向等信息。用户可以通过配置寄存器 QEPn_CON （n=0~1）的 QSRC[1:0]，选择与外接设备匹配的位置计数器的计数模式，SC32F15G 提供 3 种计数模式：正交计数、方向计数和双脉冲计数。

14.2 特性

- 提供 3 路输入信号口：QEPnA、QEPnB 和 QEPnI（n=0~1），分别有各自的选通门限 QAGATE、QBGATE 和 IGATE
- 输入信号 QEPnA、QEPnB 可交换输入方向
- 输入信号 QEPnA、QEPnB 可单独配置各自的输入极性
- 为输入信号 QEPnA、QEPnB 和 QEPnI 提供最大 128 分频的数字输入滤波器
- 方向计数和双脉冲计数模式下可选择上升沿、下降沿或双沿计数
- 位置计数器提供 2 种复位模式：index 事件复位、最大值复位（即 PCNT=PMAX 时复位）

14.3 计数方式

- 正交计数
- 方向计数
- 双脉冲计数

Preliminary

15 16 位定时/计数器（TIM）Timer0~Timer3

15.1 时钟源

- 定时模式/PWM 输出模式下，TIM 时钟源来自 PCLK
- 计数模式下，Tn 引脚为计数源输入

15.2 特性

- 支持 8 档 TIM 时钟预分频
- 4 个独立 16 Bits 自动重载计数器 Timer0~Timer3
- 16 位递增、递减、递增/递减自动重载计数器
- 支持上升沿/下降沿捕获，可实现 PWM duty 和周期捕获
- TIM1/2 溢出及捕获事件可产生 DMA 请求
- 所有 Timer 的 Tn 和 TnEX 管脚均可以重映射

15.3 计数方式

15.3.1 定时模式下 TIM 计数方式

- 向上计数：从设定值开始向上计数，至 0xFFFF 溢出
- 向下计数：从 0xFFFF 开始向下计数至设定值

15.3.2 PWM 输出模式下 TIM 计数方式

PWM 输出模式下只能选择向上计数：从 0 开始向上计数，至占空比设置项 PDT 时 PWM 输出波形切换高低电平，之后继续向上计数到设定的重载值 RLD，产生溢出并从 0 重新开始计数。

TIM 输出的 PWM 周期 T_{PWM} 计算公式如下：

$$T_{PWM} = \frac{RLD[15:0] + 1}{PCLK}$$

占空比 duty 计算公式：

$$duty = \frac{PDT[15:0]}{RLD[15:0] + 1}$$

15.4 定时器相关的信号口

- TnCAP/Tn，n=0~3
  - Tn 时钟输入/输出
  - TnCAP 上升沿/下降沿均可捕获
  - 注意：Tn 和 TnCAP 为复用功能，不能同时使用

Preliminary

- TnEX，n=0~3
  - 重载模式下，TnEX 引脚上的外部事件输入(下降沿)用作重载允许/禁止控制
  - 捕获模式，当 FSEL = 1 时为下降沿捕获信号输入脚，检测到 TnEX 引脚上一个下降沿，产生一个捕获，EXIF 被置起，TnCNT 寄存器的值捕获到寄存器 FCAP 里
- TnPWM，n=0~3
  - Timer0~3 可通过各自的 Tn 端口提供 duty 可单独调的 PWM：TnPWMA
  - Timer0~3 可通过各自的 TnEX 端口提供 duty 可单独调的 PWM：TnPWMB
  - TnPWMA 和 TnPWMB 共周期，时钟源随 TIM

注意：TIM 的 PWM 捕获功能与 PWM 输出功能不可同时开启

15.5 TIM 的中断及对应标志位

- 计数器上溢/下溢——共用中断标志位 TIF
- 捕获状态标志：
  - EXIF 外部事件输入下降沿被检测到的标志位
  - EXIR 外部事件输入上升沿被检测到的标志位
- 中断及优先级配置控制位合并至 NVIC 模块

Preliminary

16 省电模式

初始上电默认运行在常规模式，即 Normal Mode，额外提供三种省电模式：

- 低速模式：系统时钟源可选择 LIRC，CPU 可工作在 32kHz
- IDLE Mode，可由任何中断唤醒
- STOP Mode，可由 INT0~15、Base Timer 和 CMP 唤醒

Preliminary

17 GPIO

17.1 时钟源

M0+内核可通过 IOPORT 总线实现单周期访问 GPIO，数据传输效率极高。IOPORT 总线的时钟来自 HCLK。

17.2 特性

SC32F15G 系列 GPIO 端口特性如下：

- 最大 44 个双向可独立控制的 GPIO
- CPU 可在单周期内通过 IOPORT 总线访问 GPIO 端口
- 可独立设定上拉电阻
- 所有口源驱动能力分四级控制
- 全部 I/O 具有大灌电流驱动能力（50mA）
- 16 个 I/O 一组
- I/O 端口在输入或输出状态下，从端口数据寄存器里读到的都是端口的实际状态值

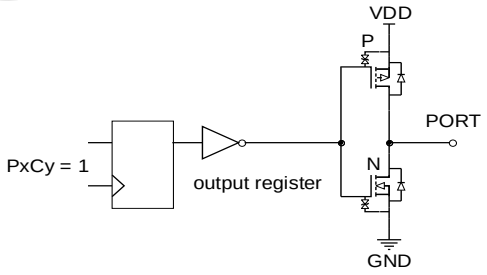
注意：未使用及封装未引出的端口均要设置为强推挽输出模式。

17.3 GPIO 结构图

17.3.1 强推挽输出模式

强推挽输出模式下，能够提供持续的大电流驱动： 相关电气参数详见《GPIO 参数》章节

强推挽输出模式的端口结构示意图如下：



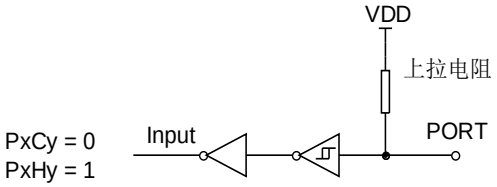
强推挽输出模式

17.3.2 带上拉的输入模式

带上拉的输入模式下，输入口上恒定接一个上拉电阻，仅当输入口上电平被拉低时，才会检测到低电平信号。

Preliminary

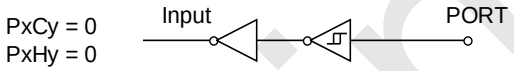
带上拉的输入模式的端口结构示意图如下：



带上拉的输入模式

17.3.3 高阻输入模式(Input only)

高阻输入模式的端口结构示意图如下所示：



高阻输入模式

Preliminary

18 UART0~2

18.1 时钟源

- SC32F15G 系列 UART 的时钟源仅一种，来自 PCLK

18.2 特性

- 三个 UART：UART0~2
- UART2 具有完整的 LIN 接口：
  - 主从模式可切换
  - 支持主机模式下硬件 break 发送（10/13 Bits）
  - 支持从机模式下硬件 break 检测（10/11 Bits）
  - 支持从机模式下波特率同步
  - 提供相关中断/状态位/标志位/容错范围
- 每个 UART 有三种通讯模式可选：
  - 模式 0，8 位半双工同步通信模式，在 RX 引脚上收发串行数据。TX 引脚用作发送移位时钟。每帧收发 8 位，低位先接收或发送；
  - 模式 1，10 位全双工异步通信，由 1 个起始位，8 个数据位和 1 个停止位组成，通信波特率可变；
  - 模式 3，11 位全双工异步通信，由 1 个起始位，8 个数据位，一个可编程的第 9 位和 1 个停止位组成，通信波特率可变。
- 发送和接收完成可产生中断并置起对应的标志位 TXIF 和 RXIF，中断标志需要软件清除
- UART0 和 UART1 可产生 DMA 请求
- UART2 不能产生 DMA 请求
- UART0/1/2 均支持信号口映射，均可映射到另外一组 IO
- 独立波特率发生器
- UART0/1 支持从 STOP Mode 唤醒：
  - START 位下降沿可唤醒 STOP Mode
  - 提供对应的唤醒中断使能位 WKIE 及唤醒中断标志位 WKIF

注意：UART0 的信号引脚支持两种映射方案：

- **映射 1：RXD0 / TXD0**
- **映射 2：RXD0A / TXD0A**

当选择映射 1（RXD0/TXD0） 时，该组引脚与系统烧录/调试接口（T_CLK / T_DIO）复用。在此映射下，若启用全双工通信，T_CLK / T_DIO 可能会与 UART0 的 RXD0 接收时序产生冲突，导致通信异常。因此，选择映射 1 时必须将 UART0 配置为半双工通信模式，以避免此硬件冲突并保证通信稳定性。

如需使用全双工 UART 通信，请将管脚映射至映射 2（RXD0A/TXD0A）。

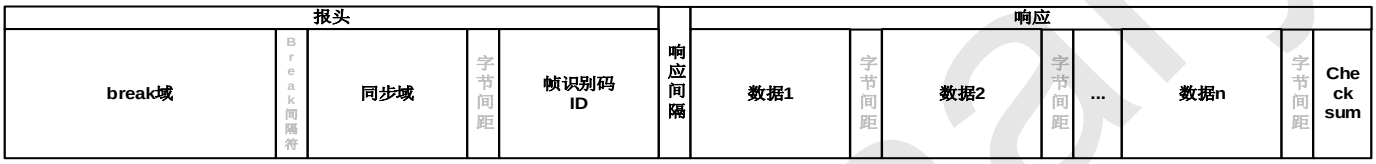
Preliminary

18.3 UART2-LIN

UART2 支持标准的 LIN 通信协议

18.3.1 LIN 帧结构

根据 LIN 协议，所有的传输信息被打包为帧。一个帧由一个报头（主机任务提供）和一个紧跟其后的应答（从机任务提供）组成。报头（主机任务提供）由一个 break 域和一个 sync（同步）域再跟一个帧识别码(frame ID)组成。帧 ID 仅作为定义帧的用途。从机任务负责回应相关的帧 ID。响应由一个数据域和一个校验域组成。下图是 LIN 帧的结构



18.3.2 LIN 主机模式

通过设置 FUNCSEL=1，SLVEN=0 ，UART 控制器支持 LIN 主机模式。在 LIN 模式，根据 LIN 的标准，每个字节由值为 0（显性）的 START 位开始，接着是 8 位数据位，没有校验位，LSB 优先，由一个值为 1（隐性）的 STOP 位结束。使能并初始化 LIN 主机模式需要如下步骤：

① 设置 UART_BAUD 寄存器设定波特率.
② 设置 FUNCSEL=1，选择 LIN 功能模式
③ 设置 SM[1:0] =01 配置 UART 为模式 1

一个完整的报头由一个 break 域和同步域再跟一个帧标识符(帧 ID)组成。UART 控制器可以选择“break 域”作为发送的报头。“同步域”和“帧 ID 域”需要用户通过软件写入，即：发送一个完整的报头到总线，软件必须依次填同步数据(0x55)和帧 ID 数据到 UART_DAT 寄存器。

18.3.3 LIN 从机模式

通过设置 FUNCSEL=1，SLVEN=1，UART 控制器支持 LIN 从机模式。在 LIN 模式，根据 LIN 的标准，每一个字节域都是由一个值为 0 的显性位开始的，跟着 8 个数据位，没有校验位，最低位在前，由一个值为 1 的隐性 stop 位结束。

LIN 从机模式初始化的流程如下：

① 设置 UART_BAUD 寄存器设定波特率.
② 设置 FUNCSEL=1，选择 LIN 功能模式.
③ 设定 SM[1:0] =1 配置 UART 为模式 1
④ 设定 SLVEN=1，使能 LIN 从机模式

LIN 从模式下，通过设定 LBDL 使能从机 break 域检测功能来侦测接收“break 域”。接收到一个 break 后，BKIF 标志将被置位。如果 BKIE =1 中断将发生。为了避免比特率偏差，控制器支持自动重同步功能，避免时钟误差错误，通过设定 SLVAREN 使能该特性。

Preliminary

18.3.3.1 同步域误差错误

自动重新同步模式下，控制器将检测同步域的误差错误。误差错误检测比较当前波特率和接收到的同步域的波特率。两个检测被同步执行。

检查 1：根据同步域的第一个下降沿和最后一个下降沿的测量值

- 如果误差大于 15%，报头错误标志 SLVHEIF 将被置位
- 如果误差在 14% 和 15%之间， 报头错误标志 SLVHEIF 可能被置位也可能没有被置位 (取决于数据失相)

检查 2：根据同步域的每一个下降沿的测量值.

- 如果误差大于 19%，报头错误标志 SLVHEF 将被置位
- 如果误差在 15% 和 19%之间， 报头错误标志 SLVHEIF 可能被置位也可能没有被置位(取决于数据失相)

注：误差检测基于当前波特率时钟。因而，为了保证误差检测的正确性，建议用户在新的 break 域收到之前，通过软件将波特率重新加载为初始值。

Preliminary

19 SPI0~1

19.1 时钟源

- SC32F15G 系列的 SPI 时钟仅一种，来自 PCLK

19.2 SPI0 特性

- 支持 11 档 SPI 时钟预分频，时钟预分频允许用户设置到较低频率，最小分频档位为 f_{PCLK}/1024。
- SPI0 信号口共两组 IO 映射可选
- SPI0 信号口强驱动：
  - SPI 通信模式下相应的信号口管脚输出驱动能力增强，其它模式下跟普通 IO 特性一致。
  - 映射信号口也可以变成强驱动，以保证 SPI0 在任意端口上的一致性
  - 具有 16 位 8 级 FIFO 缓存，发送接收独立
  - SPI0 的 FIFO 功能可以实现：连续向 SPI 发送缓存（SPI0_DATA）写入 8 个或 8 个以内的 16 位发送数据，SPI 发送的时候，最先写入的数据也最先被发送。当用户写入 FIFO 的数据被发送完成，发送缓存器空标志 TXEIF 置 1；若 FIFO 的数据已满，则写入冲突标志位 WCOL 置位，用户无法向 FIFO 写入数据，直至 FIFO 内的数据被发送出去、FIFO 不满，用户才能写入数据。当 FIFO 内的数据全部发送完毕才置起中断标志 SPIF。
  - 连续从 SPI 接收缓存（SPI0_DATA）读取 8 个或 8 个以内的 16 位接收数据，最先接收到的数据也最先被读取到。
  - FIFO 数据传输一半中断及对应标志位，方便用户及时读取/写入数据：
    - 提供发送 FIFO 有效数据不满一半中断及对应标志位 TXHIF
    - 提供接收 FIFO 超一半中断及对应标志位标志 RXHIF
  - 接收缓存溢出中断及对应标志位，及时通知异常
- 支持 DMA
  - 使能 TXDMAEN，发送缓存器空标志位 TXEIF 置起后可触发 DMA 请求，DMA 写入发送缓存后，自动清除 TXEIF 标志位
  - 使能 RXDMAEN，接收缓冲区非空标志位 RXNEIF 置起后可触发 DMA 请求，DMA 读取接收缓存后，自动清除 RXEIF 标志位

19.3 SPI1 特性

- 与 TWI1 共用寄存器地址和信号口，但功能完全独立
- 支持 13 档 SPI 时钟预分频，时钟预分频允许用户设置到较低频率，最小分频档位为 f_{PCLK}/4096。
- 信号口共四组 IO 映射可选
- 无 FIFO 缓存
- 支持 DMA：一帧结束统一置位请求。

Preliminary

19.4 SPI0 和 SPI1 对比

对比 BIT 位	SPI0	SPI1
信号口强驱动	有	无
WCOL	当发送 FIFO 写满后，对 FIFO 进行写操作将无法写入，WCOL 也会置起，代表缓存写入冲突	当一帧正在发送，对发送缓存进行写操作将无法写入，WCOL 也会置起，代表缓存写入冲突
SPIF	该位置起，代表一帧数据接收/发送完成	无
QTWIF	无	该位置起，代表一帧数据接收/发送完成
RXHIE	接收 FIFO 内有效数据超过一半中断使能位	无
TXHIE	发送 FIFO 内有效数据不满一半中断使能位	无
RXIE	接收 FIFO 已满中断使能位	无
TBIE	发送 FIFO 为空中断使能位	发送缓存为空时中断使能位
RXNEIE	接收 FIFO 非空中断使能位	无
RXHIF	该位置起，代表接收 FIFO 内有效数据超过一半	无
TXHIF	该位置起，代表发送 FIFO 内有效数据不满一半	无
RXFIF	该位置起，代表接收 FIFO 已满	无
TXEIF	该位置起，代表发送 FIFO 为空	该位置起，代表发送缓存为空
RXNEIF	接收 FIFO 非空标志位	无
DMA	通过发送缓存器空标志位 TXEIF 和接收缓冲区非空状态位 RXNEIF 触发 DMA 请求	一帧结束统一置位请求

Preliminary

20 TWI0~1

20.1 时钟源

- SC32F15G 系列的 TWI 的时钟源仅一种，来自 PCLK

20.2 TWI0 特性

- 支持 11 档 TWI 时钟预分频，主机模式下 TWI 通信速率，默认为最小分频档位（$f_{PCLK}/4$）
- 信号口共三组映射可选
- 可配置为主机模式或从机模式
- 主从机之间双向数据传输
- 速率提升到 1Mbps
- 支持 DMA

20.3 TWI1 特性

- 与 SPI1 共用寄存器地址和信号口，但功能完全独立
- 支持 11 档 TWI 时钟预分频，主机模式下 TWI 通信速率，默认为最小分频档位（$f_{PCLK}/4$）
- 信号口共四组映射可选
- 可配置为主机模式或从机模式
- 主从机之间双向数据传输
- 速率提升到 1Mbps

20.4 TWI 信号描述

在 TWI 总线上，数据通过时钟线 SCL 和数据线 SDA 在主从机间逐一字节同步传送。每个字节数据长度是 8 位，一个 SCL 时钟脉冲传输一个数据位，数据由最高位 MSB 开始传输，每个字节传输后跟随一个应答位，每个位在 SCL 为高时采样。

因此，SDA 线可能在 SCL 为低时改变，但在 SCL 为高时必须保持稳定。当 SCL 为高时，SDA 线上的跳变视为一个命令(START 或 STOP)。

- **TWI 时钟信号线（SCL）**

该时钟信号由主机发出，连接到所有的从机。每 9 个时钟周期传送一个字节数据。前 8 个周期作数据的传送，最后一个时钟作为接收方应答时钟。空闲时应为高电平，由 SCL 线上的上拉电阻拉高。

- **TWI 数据信号线（SDA）**

SDA 是双向信号线，空闲时应为高电平，由 SDA 线上的上拉电阻拉高。

Preliminary

21 CAN 通信口

21.1 概述

SC32F15G 系列的控制器局域网络(CAN)支持 CAN2.0B 协议与 CAN_FD 协议的通信，相比于 CAN2.0B 协议，CAN_FD 具有更高的灵活性，其位速率从原来的仅 1Mbit/s 更改为可变，数据段长度最多可达 64 字节。支持四种不同的工作模式，可设置低功耗待机模式，支持待机唤醒。

发送缓冲区支持 PTB 主传输缓冲区与 STB 次传输缓冲区这两种发送缓冲区可供选择，可选用 FIFO 模式或优先权模式决定发送顺序；接收缓冲区可同时容纳 8 帧数据，且每个接收帧都有单独时间戳。接收过滤器有 8 组可供选择，每个过滤器都可单独启用，设置过滤条件。

21.2 时钟源

AHB 时钟总线，时钟源跟随 HCLK。

21.3 特性

- 协议支持：
  - CAN 2.0B
    - 支持标准格式和扩展格式，最多可负载 8bytes 数据
    - 速率可到 1Mbit/s
  - CAN FD
    - 支持标准格式和扩展格式， 最多可负载 64bytes 数据
    - 速率可变
- 待机模式：使能此模式后，CAN 收发器将进入低功耗状态并不再接收数据帧，仅检测 CAN 总线上的显性电平
- 时间戳：
  - CiA 603：64 位时间戳，发送帧（TTS）支持一个时间戳，存放在寄存器里，但所有的接收帧（RTS）都有单独的时间戳
- 收发缓存：
  - 8 组接收缓存（RB），每个接收帧（RTS）有单独时间戳，与数据一同存放在 RB 中。RB 的工作方式同 FIFO
  - 9 组发送缓存（TB）：
    - 1 个 Primary Transmit Buffer PTB
    - 8 个 Secondary Transmit Buffer STB，支持两种传输模式：FIFO 模式和优先权决定模式
  - 8 组接收过滤器（支持 29bit ID）

Preliminary

22 硬件看门狗（WDT）

22.1 概述

SC32F15G 系列内建一个独立的硬件看门狗 WDT，其时钟源为内部的 32kHz 振荡器 LIRC。用户可以通过编程器的 Customer Option 中的 ENWDT 控制位选择是否开启看门狗复位功能。

硬件看门狗 WDT，具有安全性高、定时准确及使用灵活的优点。此看门狗外设可检测并解决由软件错误导致的故障，并在计数器达到给定的溢出时间时触发系统复位。

WDT 由其内部低频振荡器驱动，因此即便在主时钟发生故障时仍然保持工作状态。

22.2 时钟源

SC32F15G 系列的 WDT 的时钟源固定为 LIRC。WDT 使能后，LIRC 会自动开启，WDT 工作的过程中 LIRC 始终保持振荡，用户无法关闭。

Preliminary

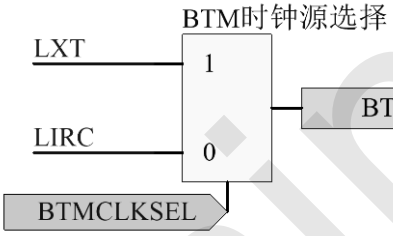
23 Base Timer（BTM）

23.1 概述

SC32F15G 系列内建一个 Base Timer（BTM），可以按照 15.625ms ~ 32s 的间隔产生中断。32kHz LIRC 及外接 32.768kHz 晶体振荡器 LXT 都可作为 BTM 的时钟源。BTM 产生的中断可以将 CPU 从 STOP mode 唤醒。

23.2 时钟源

- SC32F15G 系列的 BTM 时钟源有两种：LXT 和 LIRC 可选



23.3 特性

- 中断频率间隔 15.625ms ~ 32s 可选
- 可唤醒 STOP Mode

Preliminary

24 内建 CRC 校验模块

24.1 概述

SC32F15G 系列内建一个 CRC 校验模块，使用多项式发生器从一个 8 位/16 位/32 位的数据字中产生 CRC 码。在众多的应用中，基于 CRC 的技术还常用来验证数据传输或存储的完整性。根据功能安全标准的规定，这些技术提供了验证 Flash 完整性的方法。CRC 计算单元有助于在运行期间计算软件的签名，并将该签名与链接时生成并存储在指定存储单元的参考签名加以比较。

24.2 时钟源

- SC32F15G 系列的 CRC 时钟源来自 HCLK

24.3 特性

- 内建了 1 个硬件 CRC 模块
- 初始值可设，默认为 0xFFFF_FFFF
- 支持 8 Bits/16 Bits/32 Bits 数据单元
- 多项式可编程，默认为 0x04C1_1DB7
- 仅支持软件送数计算模式
- 支持 DMA：CRC_DR 可作为 DMA 的目标地址，也可直接寄存器访问
- 单独一个 byte 计算 CRC 需要 1 个系统时钟。

CRC 算法名称	CRC-32/MPEG-2
多项式公式	$x^{32}+x^{26}+x^{23}+x^{22}+x^{16}+x^{12}+x^{11}+x^{10}+x^{8}+x^{7}+x^{5}+x^{4}+x^{2}+x+1$
数据宽度	32bit
初始值	0xFFFF_FFFF
结果异或值	0x0000_0000
输入值反转	false
输出值反转	false
LSB/MSB	MSB

注意：CRCDR 写入数据和读出不是同一数据。

Preliminary

25 直接存储器访问（DMA）

25.1 概述

直接存储器访问(DMA)控制器用于高速数据传输。DMA 控制器可以从一个地址到另一个地址传输数据，无需 CPU 介入。通过 DMA 进行数据传输可减少 CPU 的工作量，将节省下的 CPU 资源做其他应用。DMA 控制器包含 4 个通道，每个通道都直接连接专用的硬件 DMA 请求，每个通道都同样支持软件触发。DMA 控制器支持 4 级通道优先级，用于处理 DMA 请求间的优先级，确保同一时刻只有一个 DMA 通道工作。DMA 控制器也支持单一传输和批量传输，请求源可以是软件请求或接口请求，内存之间的数据传输是使用软件请求。

注：对于一个双向数据传输应用，需要 2 个 DMA 通道分别完成发送和接收。

25.2 时钟源

DMA 的时钟源为 HCLK，通过 AHB_CFG.DMAEN 使能 DMA 的外设时钟。

25.3 特性

- 支持 4 个可独立配置的通道
- 支持 4 级通道优先级
- 支持 8 位，16 位，32 位数据传输
- 支持源和目标地址自动增加/减少或者固定，数据宽度支持字节，半字，字
- 支持单次和批量传输方式

25.4 功能说明

25.4.1 传输方向

DMA 外设与存储之间传输无限制：

内存到内存	内存到外设	外设到内存	外设到外设
无限制	无限制	无限制	无限制

25.4.2 DMA 访问区域限制

用户操作 DMA 时，不允许对 Flash 进行写操作，也不允许通过 DMA 操作内核，否则将产生无法预估的异常。

25.4.3 通道优先级

通过 PL[1:0]位可设置四个级别的优先级：

- 00：低
- 01：中

Preliminary

- 10：高
- 11：非常高

25.4.4 单一传输和批量传输

DMA 控制器支持单一和成组数据的传输类型，请求源可以是软件请求，接口请求，内存之间的数据传输是使用软件请求。单一传输的意思是软件或接口准备好传输一个数据(每个数据需要一次请求)，批量传输的意思是软件或接口将传输多个数据(多个数据仅需一次请求)。

单一传输和批量传输模式可通过寄存器 TPTYPE (DMAn_CFG[15])设定。

当 DMA 控制器运行在单一传输模式，每搬移一个数据需要一次请求，当搬移一次数据，寄存器 DMAn_CNT[31:0]，n=0~3 会减 1，直到 DMAn_CNT[31:0] 中的数目递减为 0，搬移才会完成。在该模式，BURSIZE(DMAn_CFG[14:12])不用于控制搬移数据量大小，它的值固定为 1。

在批量搬移模式，DMA 控制器搬移 DMAn_CNT[31:0]个数据，仅需一次请求。当搬移 BURSIZE(DMAn_CFG[14:12])数据后， DMAn_CNT[31:0]中的数目会减去 BURSIZE。直到 DMAn_CNT[31:0]中的数目递减为 0，搬移数据才完成。

25.4.5 循环模式

循环模式可用于处理循环缓冲区和连续数据流（例如 ADC 扫描模式）。在循环模式传输过程中，待传输数据的数目将自动重新装载为在通道配置阶段设置的初始值，并继续响应 DMA 请求。为停止循环传输，软件需要在禁止 DMA 通道前使外设停止生成 DMA 请求（例如退出 ADC 扫描模式）。软件必须在启动/使能传输前，以及在停止循环传输后，明确设定 DMACNT 值。

SC32F15G 系列的 DMA 控制器支持常规模式和循环模式：

- 当 CIRC=0（DMA 通道处于非循环模式）时，在达到设定的待传输数据数目时，将不再接受任何 DMA 请求；
- 当 CIRC=1（DMA 通道处于循环模式）时，在传输完成后该通道的 DMACNT 会自动重新装载之前设定的值，等待下一次循环。

用户可以根据实际需求灵活选择。

25.4.6 DMA 通道使能后禁止操作的控制位

状态位、标志清零位不受限制，其余控制位均受 CHEN=1 操作限制，其目的应是为了防止传输过程修改配置导致数据传输不确定。

DMA 通道使能后，寄存器位域/位、源/目标地址、优先级、传输控制相关均不可改写。

Preliminary

26 SysTick

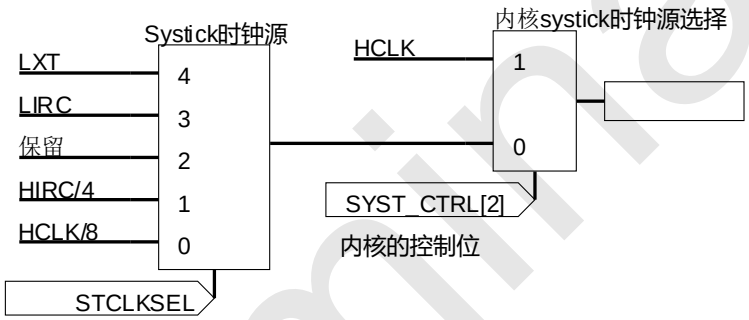
SysTick 是一个简单、24 位写入清 0、递减、带灵活控制机制的自动装载计数器。该计数器可以用作实时操作系统（RTOS）的滴答定时器或作为一个简单的计数器。

26.1 时钟源

SysTick（Cortex®-M0+内核系统定时器）的时钟源分为内部时钟源和外部时钟源：

- 内部时钟源，即 CPU 时钟
- 4 个外部时钟源

SysTick 时钟源框图如下:



26.2 SysTick 校准寄存器默认值

SysTick 校准寄存器的校准值设置方法如下：

- 若上电默认时钟为 f_{HCLK}/n（MHz），n 是上电默认分频系数，上电默认时钟源为 HIRC；
- 则当 SysTick 校准值初始值为 1000*（f_{HCLK}/n）时，可产生 1ms 时间基准。

Preliminary

27 电气特性

27.1 参数条件

除非另有说明，本章节电气数据均基于推荐工作条件小节所列工作条件。

27.2 极限参数

符号	参数	最小值	最大值	UNIT
V_{DD}	直流供电电压	-0.3	6	V
V_{PIN}	任一管脚输入/输出电压	-0.3	V_{DD}+0.3	V
T_A	工作环境温度	-40	105	℃
T_{STG}	储存温度	-55	125	℃
I_{VDD}	流过 VDD 的电流值	-	200	mA
I_{VSS}	流过 VSS 的电流值	-	200	mA

27.3 推荐工作条件

符号	参数	最小值	最大值	UNIT	系统时钟频率
V_{DD}	工作电压	2.0	5.5	V	f_{HCLK}=72MHz 时钟源为 HIRC
T_A	工作环境温度	-40	105	℃	

符号	参数	最小值	最大值	UNIT	条件
f_{HCLK}	内部 AHB 时钟频率	-	72	MHz	T_A = +25℃
f_{PCLK}	内部 APB 时钟频率	-	72	MHz	

27.4 Flash ROM 参数

（V_{DD} = 5V，T_A = +25℃，除非另有说明）

符号	参数	最小值	典型值	最大值	UNIT	条件
N_{END}	擦写次数	100,000	-	-	Cycles	
T_{DR}	数据保存时间	100	-	-	Years	T_A = +25℃
$T_{S\text{-}Erase}$	单个 Sector 擦除时间	-	2.5	-	ms	T_A = +25℃
T_{Erase}	全擦时间	30	-	40	ms	T_A = +25℃
T_{Write}	单个 byte 写入时间	-	150	-	μs	T_A = +25℃

Preliminary

27.5 直流电气特性

（VDD = 5V，TA = +25℃，除非另有说明）

符号	参数	启动区域	最小值	典型值	最大值	单位	测试条件
I_{op1}	工作电流	APROM	-	7	-	mA	f_{HCLK}=72MHz 时钟源为 HIRC
			-	4	-	mA	f_{HCLK}=36MHz 时钟源为 HIRC
			-	2.9	-	mA	f_{HCLK} =18MHz 时钟源为 HIRC
			-	2.3	-	mA	f_{HCLK} =9MHz 时钟源为 HIRC
			-	1.7	-	mA	f_{HCLK} =4.5MHz 时钟源为 HIRC
I_{pd1}	待机电流（Power Down 模式）	APROM	-	2.3	-	μA	
I_{IDL1}	待机电流（IDLE 模式）	APROM	-	2.8	-	mA	f_{HCLK} =72MHz 时钟源为 HIRC

（VDD = 3.3V，TA = +25℃，除非另有说明）

符号	参数	启动区域	最小值	典型值	最大值	单位	测试条件
I_{op3}	工作电流	APROM	-	7	-	mA	f_{HCLK}=72MHz 时钟源为 HIRC
			-	4	-	mA	f_{HCLK}=36MHz 时钟源为 HIRC
			-	2.9	-	mA	f_{HCLK} =18MHz 时钟源为 HIRC
			-	2.3	-	mA	f_{HCLK} =9MHz 时钟源为 HIRC
			-	1.7	-	mA	f_{HCLK} =4.5MHz 时钟源为 HIRC
I_{pd2}	待机电流（Power Down 模式）	APROM	-	2.2	-	μA	
I_{IDL2}	待机电流（IDLE 模式）	APROM	-	2.8	-	mA	f_{HCLK} =72MHz 时钟源为 HIRC

27.6 IO 特性参数

（VDD = 5V，TA = +25℃， 除非另有说明）

符号	参数	最小值	典型值	最大值	单位	测试条件
V_{IH1}	输入高电压	0.7V_{DD}	-	V_{DD}+0.3	V	
V_{IL1}	输入低电压	-0.3	-	0.3V_{DD}	V	
V_{IH2}	输入高电压	0.8V_{DD}	-	V_{DD}	V	施密特触发输入： NRST T_CLK / T_DIO UART0 输入 RX0 SPI / TWI 信号输入口 INT0~INT15
V_{IL2}	输入低电压	-0.2	-	0.2V_{DD}	V	

Preliminary

符号	参数	最小值	典型值	最大值	单位	测试条件
						Timer 时钟输入口 Tx Timer 捕获口 TxEX
I_{OL1}	输出低电流	-	30	-	mA	V_{Pin}=0.4V
I_{OL2}	输出低电流	-	54	-	mA	V_{Pin}=0.8V
I_{OH1}	输出高电流@ V_{Pin}=4.3V	-	12	-	mA	Pxyz=0,I_{OH} 等级 0
		-	9	-	mA	Pxyz=1,I_{OH} 等级 1
		-	6	-	mA	Pxyz=2,I_{OH} 等级 2
		-	3.2	-	mA	Pxyz=3,I_{OH} 等级 3
I_{OH2}	输出高电流@ V_{Pin}=4.7V	-	6	-	mA	Pxyz=0,I_{OH} 等级 0
		-	4	-	mA	Pxyz=1,I_{OH} 等级 1
		-	3.1	-	mA	Pxyz=2,I_{OH} 等级 2
		-	1.6	-	mA	Pxyz=3,I_{OH} 等级 3
I_{lkg1}	输入漏电流	-1	-	1	μA	IO 为高阻输入模式 V_{IN}= V_{DD} 或 V_{SS}
R_{PH1}	上拉电阻	15	30	45	kΩ	V_{IN}=V_{SS}

（VDD = 3.3V，TA = +25℃， 除非另有说明）

符号	参数	最小值	典型值	最大值	单位	测试条件
V_{IH3}	输入高电压	0.7V_{DD}	-	V_{DD}+0.3	V	
V_{IL3}	输入低电压	-0.3	-	0.3V_{DD}	V	
V_{IH4}	输入高电压	0.8V_{DD}	-	V_{DD}	V	施密特触发输入： NRST T_CK / T_DIO UART0 输入 RX0 SPI / TWI 信号输入口 INT0~INT15 Timer 时钟输入口 Tx Timer 捕获口 TxEX
V_{IL4}	输入低电压	-0.2	-	0.2V_{DD}	V	
I_{OL3}	输出低电流	-	22	-	mA	V_{Pin}=0.4V
I_{OL4}	输出低电流	-	37	-	mA	V_{Pin}=0.8V
I_{OH3}	输出高电流@ V_{Pin}=3.0V	-	3.8	-	mA	Pxyz=0,I_{OH} 等级 0
		-	3.0	-	mA	Pxyz=1,I_{OH} 等级 1
		-	2.0	-	mA	Pxyz=2,I_{OH} 等级 2
		-	1.0	-	mA	Pxyz=3,I_{OH} 等级 3
I_{lkg2}	输入漏电流	-1	-	1	μA	IO 为高阻输入模式 V_{IN}= V_{DD} 或 V_{SS}
R_{PH2}	上拉电阻	25	50	75	kΩ	V_{IN}=V_{SS}

Preliminary

27.7 BTM 电气特性

符号	参数	最小值	典型值	最大值	单位	测试条件
I_{BTM}	Base Timer 工作电流@5V	-	1.1	3	μA	BTMCLKSEL=0 BTM 时钟源为 LIRC
	Base Timer 工作电流@3.3V	-	1.1	3	μA	BTMCLKSEL=0 BTM 时钟源为 LIRC

27.8 WDT 电气特性

符号	参数	最小值	典型值	最大值	单位	测试条件
I_{WDT}	WDT 工作电流@5V	-	1.1	3	μA	
	WDT 工作电流@3.3V	-	1.1	3	μA	

27.9 交流电气特性

（VDD = 2.0V ~ 5.5V，TA = 25℃， 除非另有说明）

符号	参数	最小值	典型值	最大值	单位	测试条件
T_{LXT}	外接 32k 振荡器起振时间	-	1	-	s	外接 32k 晶振
T_{POR}	Power On Reset 时间	-	15	-	ms	
T_{PDW}	Power Down 模式唤醒时间	-	65	130	μs	
T_{Reset}	复位脉冲宽度	18	-	-	μs	低电平有效
T_{LVR}	LVR 消抖时间	-	30	-	μs	
f_{HIRC}	HIRC 振荡稳定性	71.28	72	72.72	MHz	V_{DD}=2.0~5.5V T_A=-40~105 ℃
f_{LIRC}	LIRC 振荡稳定性	30.72	32	33.28	kHz	V_{DD}=2.0~5.5V T_A=25 ℃

27.10 ADC 电气特性

（TA = 25℃，除非另有说明）

符号	参数	最小值	典型值	最大值	单位	测试条件
V_{ADC}	供电电压	2.0	5.0	5.5	V	Vref = 1.024V
		2.7	5.0	5.5	V	Vref = 2.048V
		2.7	5.0	5.5	V	Vref = 2.4V
		2.0	5.0	5.5	V	Vref = V_{DD}
N_R	精度	-	12	-	bit	GND≤V_{AIN}≤V_{DD}
V_{AIN}	ADC 输入电压	GND	-	V_{DD}	V	

Preliminary

符号	参数	最小值	典型值	最大值	单位	测试条件
R_{AIN}	ADC 输入电阻	1	-	-	MΩ	V_{IN}=5V
C_{ADC}	ADC 内部采样电容	-	8	-	pF	
I_{lkg_ADC}	ADC 输入漏电流	-1	-	1	μA	V_{IN}= V_{AINx}
I_{ADC}	ADC 转换电流	-	2.5	3	mA	ADC 模块打开 V_{DD}=5V
		-	2.0	2.5	mA	ADC 模块打开 V_{DD}=3.3V
DNL	微分非线性误差	-	±3	-	LSB	V_{DD}=5V V_{REF}=V_{DD}
INL	积分非线性误差	-	±3	-	LSB	
SNR	信噪比	-	65.4	-	dB	
THD	总谐波失真	-	-70.5	-	dB	
SINAD	信纳比	-	64.3	-	dB	
SFDR	无杂散动态范围	-	73.0	-	dB	
ENOB	有效位数	-	10.5	-	bits	
E_Z	偏移量误差	-	±2	-	LSB	
E_F	满刻度误差	-	±3	-	LSB	
E_{AD}	总绝对误差	-	±3	-	LSB	
T_{ADCT}	ADC 转换时间	-	404	-	ns	f_{HCLK} =72MHz，时钟源为 HIRC
T_{ADCS}	ADC 采样时间	-	0.06	-	μs	f_{HCLK} =72MHz，时钟源为 HIRC LOWSP[2:0] = 000
		-	0.09	-	μs	f_{HCLK} =72MHz，时钟源为 HIRC LOWSP[2:0] = 001
		-	0.14	-	μs	f_{HCLK} =72MHz，时钟源为 HIRC LOWSP[2:0] = 010
		-	0.23	-	μs	f_{HCLK} =72MHz，时钟源为 HIRC LOWSP[2:0] = 011
		-	0.43	-	μs	f_{HCLK} =72MHz，时钟源为 HIRC LOWSP[2:0] = 100
		-	0.85	-	μs	f_{HCLK} =72MHz，时钟源为 HIRC LOWSP[2:0] = 101
		-	1.69	-	μs	f_{HCLK} =72MHz，时钟源为 HIRC LOWSP[2:0] = 110
		-	6.67	-	μs	f_{HCLK} =72MHz，时钟源为 HIRC LOWSP[2:0] = 111

Preliminary

27.11 CMP 电气特性

（VDD=5V，TA=25℃，除非另有说明）

符号	参数	最小值	典型值	最大值	单位	测试条件
V_{CM}	输入电压范围	0	-	V_{DD}	V	
V_{OS}	偏移电压	-	2	6	mV	
V_{HYS}	比较电压回差	-	0	-	mV	HYS=00
		-	5	-	mV	HYS=01
		-	10	-	mV	HYS=10
		-	20	-	mV	HYS=11
$I_{CMP0\sim2}$	比较器 0~2 转换电流	-	75	-	μA	V_{DD}=5V
I_{CMP3}	比较器 3 转换电流	-	100	-	μA	
T_{CMP}	比较器响应时间	-	50	-	ns	

27.12 OP 电气特性

（VDD=5V，TA=25℃，除非另有说明）

符号	参数	最小值	典型值	最大值	单位	测试条件
I_{OP}	OP 工作电流	-	1	1.3	mA	V_{DD}=5V
V_{OP}	OP 工作电压	2.8	-	5.5	V	
V_{OPO}	OP 输出电压	V_{SS}+0.2	-	V_{DD}-0.2	V	
V_{CMI}	共模输入电压	0	-	V_{DD}	V	
V_{OFFSET}	失调电压	-1	-	1	mV	
I_{LOAD}	负载电流	-	-	600	μA	
R_{LOAD}	负载电阻	8	-	-	kΩ	
C_{LOAD}	负载电容	-	-	30	pF	
CMRR	共模抑制比	-	90	-	dB	
PSRR	电源抑制比	-	75	-	dB	
GBW	增益带宽积	-	40	-	MHz	
Slew rate	摆率	-	13	-	V/us	
PM	相位裕度	-	60	-	°	CL = 50pF
G_{PGA}	PGA 同相放大倍数	-5	-	5	%	同相 4 倍增益
		-5	-	5	%	同相 8 倍增益
		-5	-	5	%	同相 16 倍增益

Preliminary

符号	参数	最小值	典型值	最大值	单位	测试条件
		-5	-	5	%	同相 32 倍增益
	PGA 反相放大倍数	-5	-	5	%	反相 3 倍增益
		-5	-	5	%	反相 7 倍增益
		-5	-	5	%	反相 15 倍增益
		-5	-	5	%	反相 31 倍增益
R_{PGA}	PGA 同相放大 R2/R1 阻值比	-	30/10	-	kΩ/ kΩ	同相 4 倍增益
		-	70/10	-	kΩ/ kΩ	同相 8 倍增益
		-	150/10	-	kΩ/ kΩ	同相 16 倍增益
		-	310/10	-	kΩ/ kΩ	同相 32 倍增益
	PGA 反相放大 R2/R1 阻值比	-	30/10	-	kΩ/ kΩ	反相 3 倍增益
		-	70/10	-	kΩ/ kΩ	反相 7 倍增益
		-	150/10	-	kΩ/ kΩ	反相 15 倍增益
		-	310/10	-	kΩ/ kΩ	反相 31 倍增益
RΔ	R1 或 R2 的阻值误差	-20	-	+20	%	

说明：失调电压 V_{OFFSET}、相位裕度 PM 由设计端保证

27.13 DAC 电气特性

（VDD=5V，TA=25℃，除非另有说明）

符号	参数	最小值	典型值	最大值	单位	测试条件
V_{DAC}	供电电压	2.0	5.0	5.5	V	Vref = 1.024V
		2.7	5.0	5.5	V	Vref = 2.048V
		2.7	5.0	5.5	V	Vref = 2.4V
		2.0	5.0	5.5	V	Vref = V_{DD}
N_R	精度	-	10	-	bit	
V_{AIN}	DAC 输出电压	GND	-	V_{DD}-0.2	V	
R_{AIN}	DAC 负载电阻	5	-	-	kΩ	
F_{AIN}	DAC 负载电容	-	-	50	pF	
I_{DAC1}	DAC 工作电流 1 输出满幅值		0.27	-	mA	
I_{DAC2}	DAC 工作电流 2 输出 0		0.26	-	mA	
DNL	微分非线性误差 (V_{DD}=5V, V_{REF}=5V)		±1		LSB	
INL	积分非线性误差 (V_{DD}=5V, V_{REF}=5V)		±2		LSB	

Preliminary

符号	参数	最小值	典型值	最大值	单位	测试条件
OFFSET	偏移量	-	±20		mV	
T_{DAC1}	DAC 转换时间 1 0->5V	-	1	-	μs	
T_{DAC2}	DAC 转换时间 2 5V->0	-	1	-	μs	
T_{DAC3}	DAC 转换时间 3 0->2.5V	-	0.5	-	μs	
T_{DAC4}	DAC 转换时间 4 2.5V->0	-	0.5	-	μs	

27.14 VREF 电气特性

（VDD=5V，TA=25℃，除非另有说明）

符号	参数	最小值	典型值	最大值	单位	测试条件
V_{REF1}	内部基准 2.048V	2.028	2.048	2.068	V	V_{DD} = 2.7~5.5V
V_{REF2}	内部基准 1.024V	1.004	1.024	1.044	V	V_{DD} = 2.0~5.5V
V_{REF3}	内部基准 2.4V	2.38	2.40	2.42	V	V_{DD} = 2.7~5.5V

27.15 温度传感器

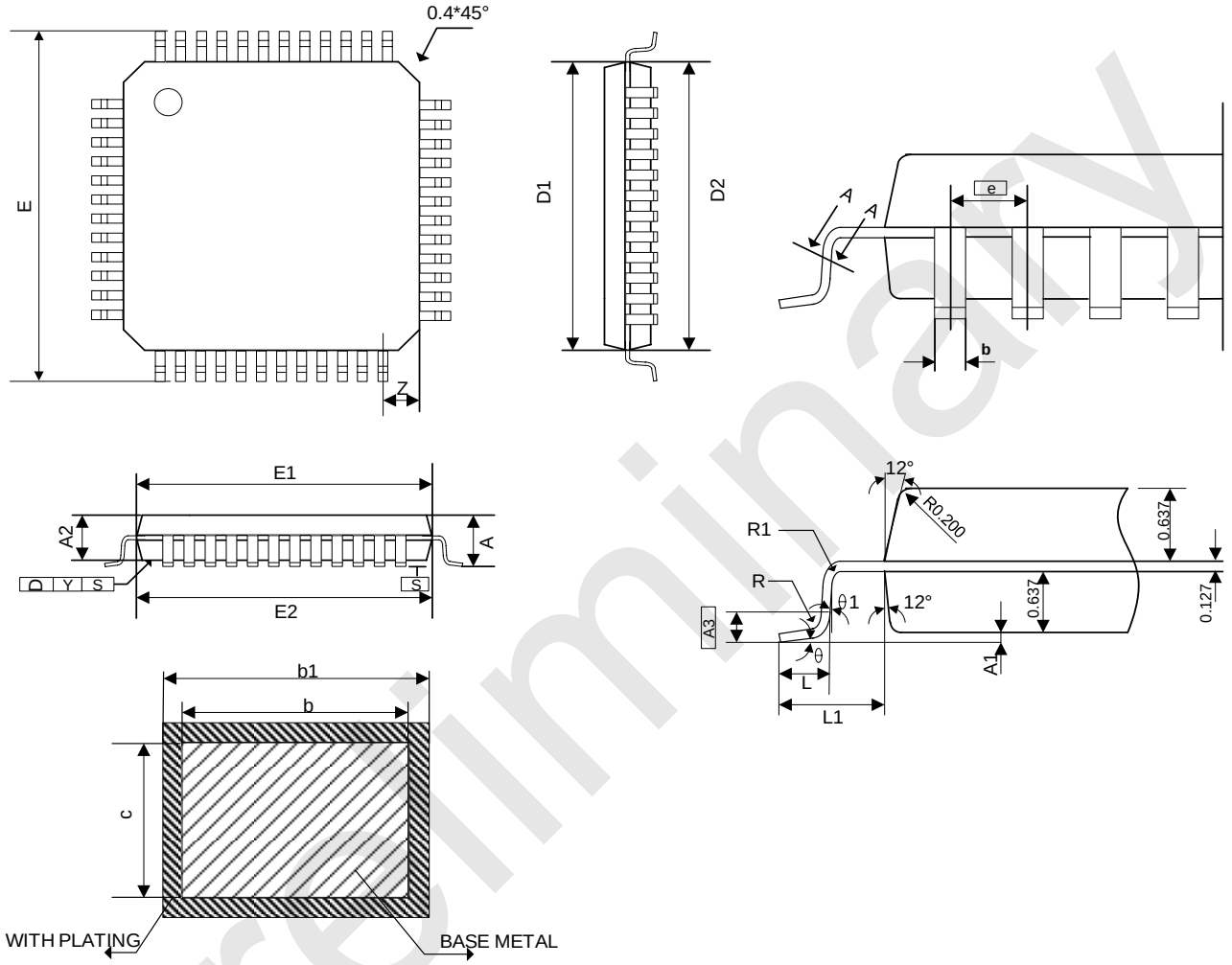
符号	参数	最小值	典型值	最大值	单位	测试条件
α_{TS}	电压温度系数	-	5	-	mV/℃	V_{ref}=2.4V
V_{25}	25℃下电压值	-	1.48	-	V	
T_{STRAT}	建立时间	-	10	-	μs	
T_{S_temp}	ADC 选取温度传感器通道时的采样时间	-	2	-	μs	

说明：建立时间 T_{STRAT}、ADC 选取温度传感器通道时的采样时间 T_{S_temp} 由设计端保证

Preliminary

28 封装信息

LQFP48（7X7）外形尺寸（单位：毫米）



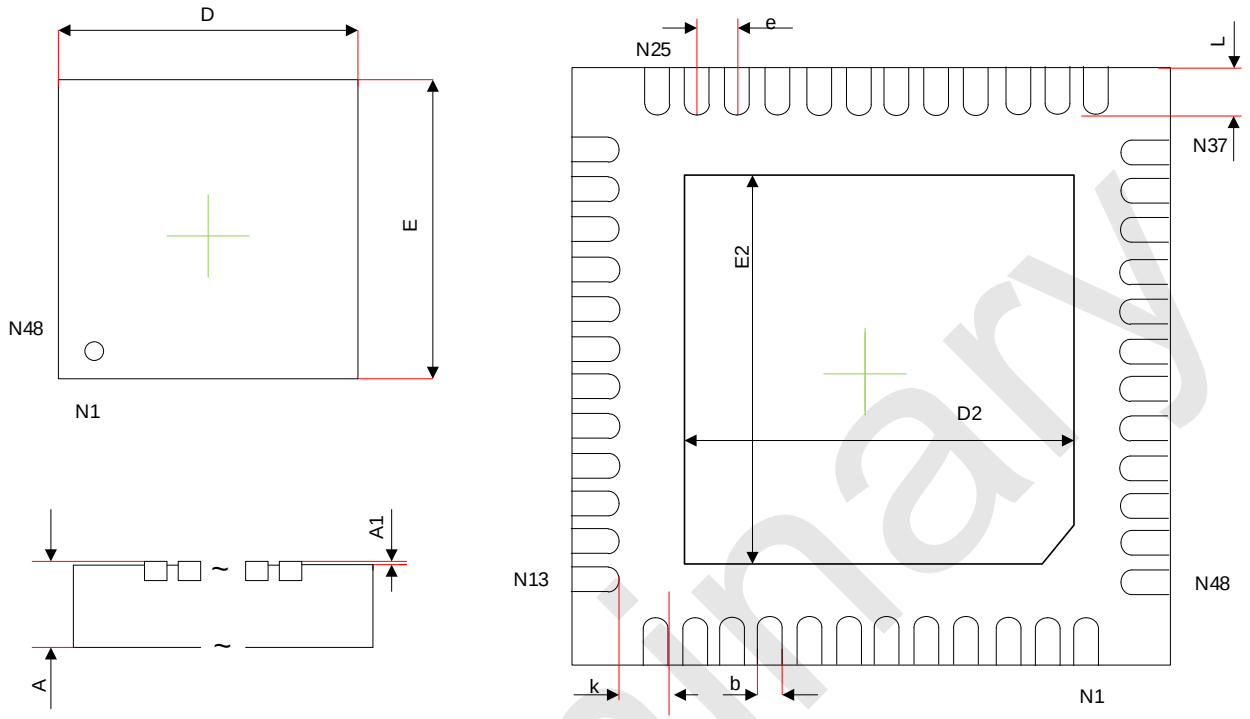
符号	mm(毫米)		
	最小	标准	最大
A	1.45	1.55	1.65
A1	0.01	--	0.21
A2	1.30	1.40	1.50
A3	--	0.254	--
b	0.15	0.20	0.25
b1	0.16	0.22	0.28
c	0.12	--	0.17
D1	6.85	6.95	7.05
D2	6.90	7.00	7.10

Preliminary

符号	mm(毫米)		
	最小	标准	最大
E	8.8	9.00	9.20
E1	6.85	6.95	7.05
E2	6.9	7.00	7.10
e	--	0.5	--
L	0.43	--	0.75
L1	0.90	1.0	1.10
R	0.1	--	0.25
R1	0.1	--	--
θ	0°	--	10°
θ1	0°	--	--
y	--	--	0.1
Z	--	0.75	--

Preliminary

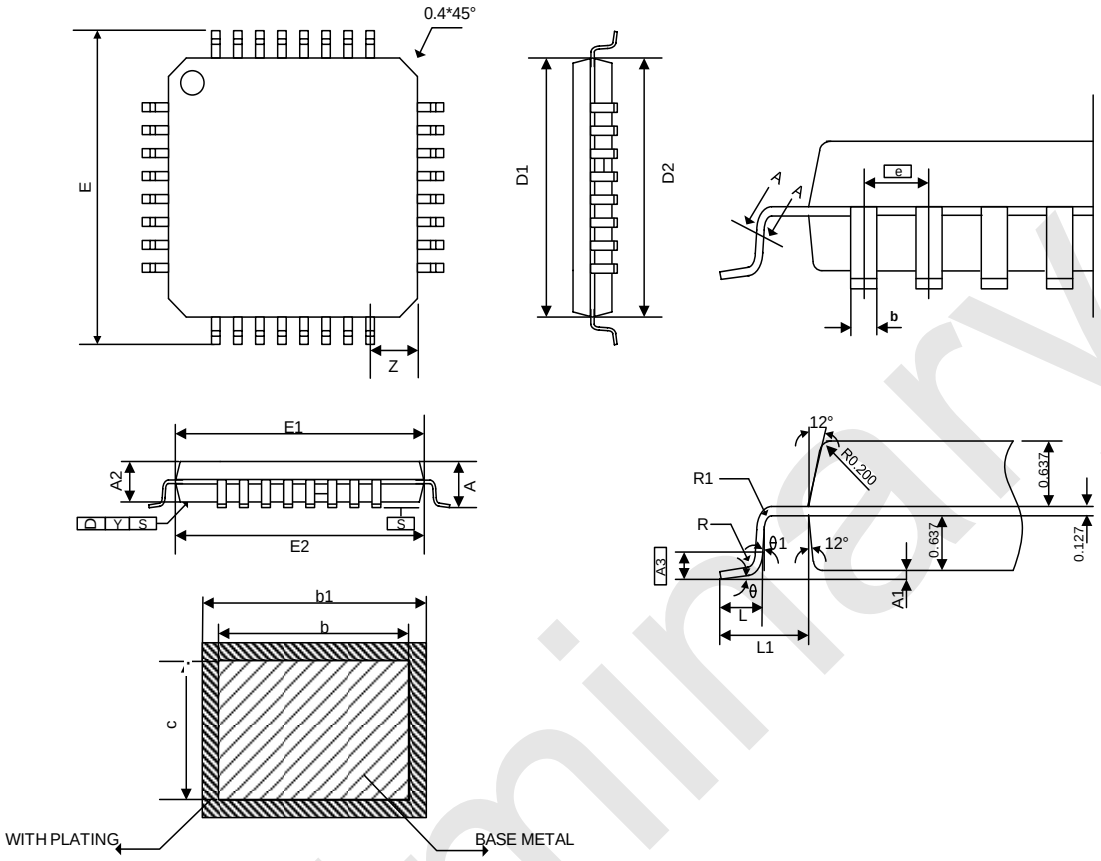
QFN48（5X5）外形尺寸（单位：毫米）



符号	mm(毫米)		
	最小	标准	最大
A	0.50	0.55	0.60
A1	0	0.02	0.05
b	0.12	--	0.23
D	4.90	5.00	5.10
D2	3.60	3.70	3.80
e	0.35 BSC.		
k	0.20	0.30	--
E	4.90	5.00	5.10
E2	3.60	3.70	3.80
L	0.30	0.35	0.40

Preliminary

LQFP32（7X7）外形尺寸（单位：毫米）



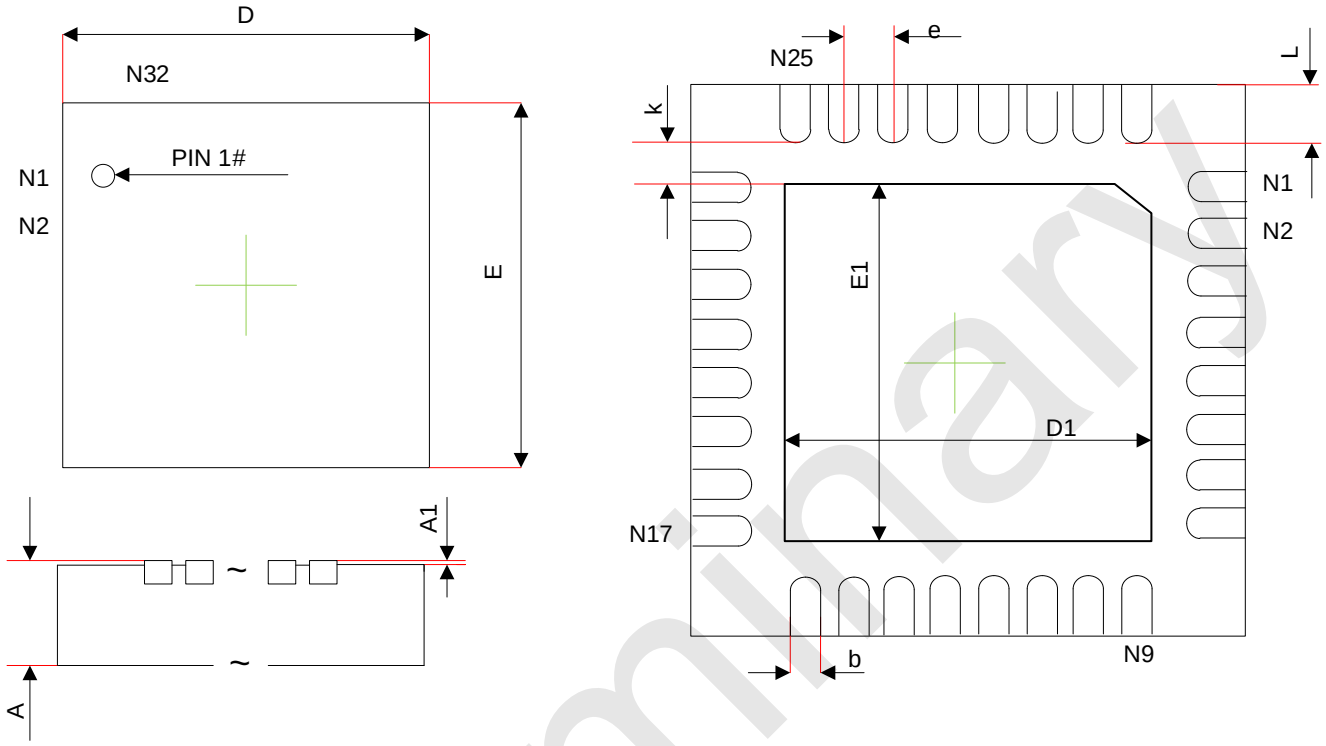
符号	mm(毫米)		
	最小	标准	最大
A	1.45	1.55	1.65
A1	0.01	--	0.21
A2	1.30	1.4	1.5
A3	--	0.254	--
b	0.30	0.35	0.41
b1	0.31	0.37	0.43
c	0.12	0.13	0.14
D1	6.85	6.95	7.05
D2	6.90	7.00	7.10
E	8.80	9.00	9.20
E1	6.85	6.95	7.05
E2	6.90	7.00	7.10
e	--	0.8	--
L	0.43	--	0.75
L1	0.90	1.0	1.10

Preliminary

符号	mm(毫米)		
	最小	标准	最大
R	0.1	--	0.25
R1	0.1	--	--
θ	0°	--	10°
θ1	0°	--	--
y	--	--	0.1
Z	--	0.70	--

Preliminary

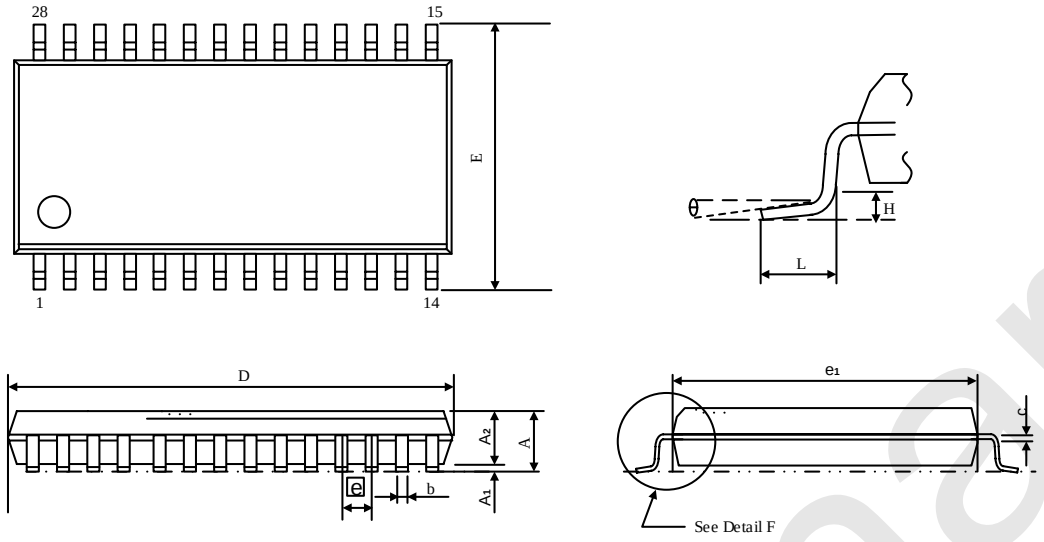
QFN32（4X4）外形尺寸（单位：毫米）



符号	mm(毫米)		
	最小	标准	最大
A	0.70	0.75	0.80
A1	0	0.02	0.05
b	0.15	0.20	0.25
D	3.90	4.00	4.10
E	3.90	4.00	4.10
e	0.40 BSC		
k	0.20	--	--
D1	2.60	--	2.90
E1	2.60	--	2.90
L	0.22	--	0.45

Preliminary

TSSOP28 外形尺寸（单位：毫米）



符号	mm(毫米)		
	最小	正常	最大
A	-	-	1.200
A**1**	0.050	-	0.150
A**2**	0.800	-	1.050
b	0.190	-	0.300
c	0.090	-	0.200
D	9.600	-	9.800
E	6.250	-	6.550
e1	4.300	-	4.500
e	0.65(BSC)		
L	-	-	1.0
θ	0°	-	8°
H	0.05	-	0.25

Preliminary

29 版本记录

版本	记录	日期
V0.2	1. 更正描述：删除 GPIO PC8 及其对应的外部中断 INT 功能 2. 更正描述：新增 UART0 映射到烧录管脚时禁止使用全双工模式的相关说明 3. 更正描述：LIRC 的±4%的误差温度限制在 25℃ 4. 更正描述：删除 CAN 特性“中断标志多达 14 种，共用同一种中断线”，并将发送缓存从 8 组更正为 9 组 5. 更正描述：中断向量表中中断标志位 ADC_STS->EOCIF 更正为 ADC_STS->ADCIF 6. 更正描述：删除 TIM 章节特性中的 TIM6 7. 更正描述：Flash ROM 电气参数中单个 sector 擦除时间典型值更正为 2.5ms 8. 补充描述：OP 章节所提供的增益倍数补充说明为单端模式下 9. 优化描述：OP 章节以“同相端”替换“正端”，“反相端”替换“负端”	2025 年 09 月 05 日
V0.1	初版	2024 年 06 月 18 日

Preliminary

30 声明

深圳市赛元微电子股份有限公司（以下简称赛元）保留随时对赛元产品、文档或服务进行变更、更正、增强、修改和改进的权利，恕不另行通知。赛元认为提供的信息是准确可信的。本文档信息于 2024 年 6 月开始使用。在实际进行生产设计时，请参阅各产品最新的数据手册等相关资料。

Preliminary